

551, 415

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 10 月 21 日 (21.10.2004)

PCT

(10) 国際公開番号
WO 2004/091108 A1(51) 国際特許分類⁷: H04B 1/38, H04L 27/00, 7/00

(21) 国際出願番号: PCT/JP2004/004618

(22) 国際出願日: 2004 年 3 月 31 日 (31.03.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-098295 2003 年 4 月 1 日 (01.04.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 大賀 敬之 (OGA, Toshiyuki) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 工藤 実 (KUDOH, Minoru); 〒1400013 東京都品川区南大井六丁目 2 4 番 1 0 号 カドヤビル 6 階 Tokyo (JP).

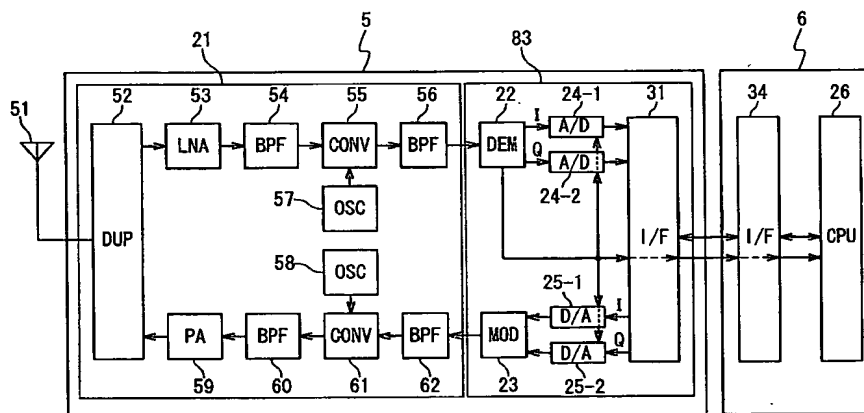
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,

[続葉有])

(54) Title: INFORMATION PROCESSING TERMINAL SYSTEM AND TRANSMISSION/RECEPTION METHOD USING THE SAME

(54) 発明の名称: 情報処理端末システム及びそれを用いた送受信方法



(57) Abstract: An information processing terminal system includes an information processing terminal (6) and a transmission/reception device (5). The transmission/reception device (5) is mounted on the information processing terminal (6). The transmission/reception device (5) demodulates a reception modulation wave signal from a network, converts the demodulated reception modulation wave signal into a reception analog base band signal, and converts the converted reception analog base band signal into a reception digital base band signal by synchronizing with clock. The information processing terminal (6) converts the converted reception digital base band signal into reception data by synchronizing with clock and converts transmission data into a transmission digital base band signal by synchronizing with clock. The transmission/reception device (5) converts the converted transmission digital base band signal into a transmission analog base band signal by synchronizing with clock, converts the converted transmission analog base band signal into a transmission modulation wave signal, and transmits the converted transmission modulation wave signal to the network.

[続葉有])

WO 2004/091108 A1



NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

情報処理端末システムは、情報処理端末（６）及び送受信装置（５）を具備し、情報処理端末（６）に送受信装置（５）が装着される。送受信装置（５）は、ネットワークからの受信変調波信号を復調し、復調された受信変調波信号を受信アナログベースバンド信号に変換し、変換された受信アナログベースバンド信号をクロックに同期して受信デジタルベースバンド信号に変換する。情報処理端末（６）は、変換された受信デジタルベースバンド信号をクロックに同期して受信データに変換し、送信データをクロックに同期して送信デジタルベースバンド信号に変換する。送受信装置（５）は、変換された送信デジタルベースバンド信号をクロックに同期して送信アナログベースバンド信号に変換し、変換された送信アナログベースバンド信号を送信変調波信号に変換し、変換された送信変調波信号をネットワークに送出する。

明細書

情報処理端末システム及びそれを用いた送受信方法

技術分野

- 5 本発明は、送受信装置である通信装置と情報処理端末とを複合した情報処理端末システムとその送受信方法に関する。

背景技術

情報処理端末を用いたネットワークへの接続が盛んに行われている。

- 10 これに伴い、近年では、無線を用いてネットワークへ接続する通信方式が開発されている。

- 上記の通信方式として、特に、無線を用いてネットワークへ接続する通信装置は、マイクロプロセッサが内蔵された情報処理端末との親和性がよく、情報処理端末の一部として組み込まれる場合が多い。したがって、無線インターフェースに要求される条件として、一般の通信装置に要求される条件に加え、情報処理端末に求められる条件を満たす必要がある。具体的には、小型であること、低消費電力であること、発熱が小さいことである。一方、伝送容量の更なる大容量化が求められている。

- 第1従来例の情報処理端末システムとして特開2002-64399
20 号公報に「ソフトウェア無線装置」が記載されている。この第1従来例の情報処理端末システムは、信号処理部（CPU：Central Processing Unit）、アンテナ制御部、RF/IF部、D/A変換器、A/D変換器を具備する。

- この例では、信号処理部（CPU）は、専ら通信機能ブロックを制御
25 する目的で設けられており、情報処理端末の本来の使用目的とされる一般的な情報処理（例えば表計算や文書作成など通信以外の処理）を行う目的で情報処理端末システムに搭載されている訳ではない。このため、

第 1 従来例の情報処理端末システムでは、信号処理部（CPU）がアンテナ制御部、RF/IF部、D/A変換器、A/D変換器等と専用の信号線で密に接続されており、それらを容易に取り外せる構造になっていない。

- 5 しかし、ネットワークに接続しないときには通信装置の機能は使用しないのであるから、情報処理端末システムを情報処理端末として利用するときの携帯性を損ねないためには、オプションとして通信装置を容易に着脱できる構造であることが望ましい。

図 1 は、第 2 従来例の情報処理端末システムとしてマイクロ波帯直交
10 振幅変調波を用いる情報処理端末システムの構成を示す。第 2 従来例の情報処理端末システムは、ネットワークに接続されたアンテナ 51 と、マイクロ波送受信部 17 と、マイクロプロセッサ信号処理部 18 とを具備する。アンテナ 51 とマイクロ波送受信部 17 とは、送受信装置（通信装置）である。マイクロプロセッサ信号処理部 18 は、情報処理端
15 末である。

マイクロ波送受信部 17 は、受信時に、アンテナ 51 を介して受信した、変調波である受信高周波信号 {受信 RF (Radio Frequency) 信号} を復調し受信データに変換してマイクロプロセッサ信号処理部 18 に出力する。マイクロ波送受信部 17 は、送信時に、
20 マイクロプロセッサ信号処理部 18 からの送信データを、変調波である送信高周波信号（送信 RF 信号）に変換してアンテナ 51 を介して送信する。

このマイクロ波送受信部 17 は、高周波処理部 21、変復調処理部 89 を備えている。

- 25 高周波処理部 21 は、受信時に、アンテナ 51 を介して受信した受信 RF 信号を復調し受信中間周波信号 {受信 IF (Intermediate Frequency) 信号} に変換して変復調処理部 89 に出力

する。高周波処理部 21 は、送信時に、変復調処理部 89 からの送信 I F 信号を送信 R F 信号に変換してアンテナ 51 を介して送信する。

変復調処理部 89 は、受信時に、高周波処理部 21 からの受信 I F 信号を受信データに変換してマイクロプロセッサ信号処理部 18 に出力する。変復調処理部 89 は、送信時に、マイクロプロセッサ信号処理部 18 からの送信データを送信 I F 信号に変換して高周波処理部 21 に出力する。

高周波処理部 21 は、デュープレクサ (DUP) 52、低雑音増幅器 (LNA) 53、帯域通過フィルタ (BPF) 54、56、60、62、周波数変換器 (CONV) 55、61、局部発振器 (OSC) 57、58、電力増幅器 (PA) 59 を備えている。

デュープレクサ (DUP) 52 は、受信信号帯域通過フィルタ (図示しない)、送信信号帯域通過フィルタ (図示しない) を備えている。

局部発振器 (OSC) 57、58 は、局部発振信号を生成する。

変復調処理部 89 は、復調器 (DEM) 70、変調器 (MOD) 23、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ/デジタル (A/D) 変換器 24-1、24-2、デジタル/アナログ (D/A) 変換器 25-1、25-2、クロック発生器 (CLOCK GEN) 27、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース (I/F) 73 を備えている。

復調器 (DEM) 70 は、搬送波再生回路 (図示しない)、受信シンボルクロック再生回路 (図示しない) を備えている。

マイクロ波送受信部インターフェース 73 は、受信データバッファ回路 (図示しない)、送信データバッファ回路 (図示しない)、識別情報処理回路 (図示しない)、タイミング調整回路 (図示しない) を備えている。

マイクロプロセッサ信号処理部 18 は、クロック発生器 (CLOCK GEN) 30、マイクロプロセッサ信号処理部インターフェース

(I/F) 74、CPUであるマイクロプロセッサ信号処理回路 75 を備えている。

クロック発生器 30 は、基準クロックを生成してマイクロプロセッサ信号処理部インターフェース 74、マイクロプロセッサ信号処理回路 (CPU) 75 に出力し、マイクロプロセッサ信号処理部インターフェース 74 は、この基準クロックに同期したバスクロック信号をマイクロ波送受信部インターフェース 73 に出力する。

マイクロプロセッサ信号処理部インターフェース 74 は、受信データバッファ回路 (図示しない)、送信データバッファ回路 (図示しない)、
10 タイミング調整回路 (図示しない) を備えている。

マイクロプロセッサ信号処理回路 (CPU) 75 は、マイクロプロセッサ (図示しない)、メモリ (図示しない)、入出力装置 (図示しない) 等を含み、そのメモリには、複数のプログラム (図示しない) が記憶されている。

15 マイクロプロセッサ信号処理回路 (CPU) 75 は、メモリに記憶された複数のプログラムのうちの一般プログラム (例えば表計算プログラムや文書作成プログラム) (図示しない) により、一般的な情報処理 (通信機能以外の処理) を行う。第2従来例の情報処理端末システムは、マイクロ波送受信部 17 を着脱できる構造である。一般的な情報処理を行う場合、マイクロ波送受信部 17 の機能が使用されない。このため、
20 ユーザは、マイクロ波送受信部 17 とマイクロプロセッサ信号処理部 18 とを分離して、マイクロプロセッサ信号処理部 18 の機能のみで第2従来例の情報処理端末システムを情報処理端末として使用できる。

次に、第2従来例の情報処理端末システムが信号を受信したときの動作を説明する。
25

デュープレクサ (DUP) 52 の受信信号帯域通過フィルターには、受信 RF 信号の周波数帯域が設定されている。その受信信号帯域通過フ

ィルターは、アンテナ 5 1 により受信された受信 R F 信号のみを抽出し、低雑音増幅器 (L N A) 5 3 に出力する。直交振幅変調信号 (Q A M 変調信号) の場合、受信 R F 信号は、シンボル周波数 (受信シンボル周波数) を有する受信アナログベースバンド信号 (受信アナログ B B 信号) を同相搬送波と同相搬送波から 9 0 ° 位相をずらした直交搬送波とで直交変調して生成された、搬送波周波数を有する信号である。

低雑音増幅器 (L N A) 5 3 は、デュープレクサー (D U P) 5 2 からの受信 R F 信号を、復調器 (D E M) 7 0 が信号処理を行うために十分なレベルまで増幅して、帯域通過フィルター (B P F) 5 4 を介して周波数変換器 (C O N V) 5 5 に出力する。低雑音増幅器 (L N A) 5 3 からの受信 R F 信号は、帯域通過フィルター (B P F) 5 4 に設定された搬送波周波数帯域以外の不要の周波数成分が除去される。

周波数変換器 (C O N V) 5 5 は、不要の周波数成分が除去された受信 R F 信号を、局部発振器 (O S C) 5 7 により生成された局部発振信号を混合し受信中間周波信号 (受信 I F 信号) に変換して、帯域通過フィルター (B P F) 5 6 を介して変復調処理部 8 9 に出力する。周波数変換器 (C O N V) 5 5 からの受信 I F 信号は、帯域通過フィルター (B P F) 5 6 に設定された搬送波周波数帯域が選択される。

復調器 (D E M) 7 0 は、帯域通過フィルター (B P F) 5 6 からの受信 I F 信号を受信アナログベースバンド信号 (受信アナログ B B 信号) に変換する。Q A M 変調信号の場合、復調器 (D E M) 7 0 は、受信 I F 信号の搬送波を再生し同期検波を行う。すなわち、復調器 (D E M) 7 0 の搬送波再生回路は、受信 I F 信号から同相搬送波と直交搬送波とを生成 (再生) する。復調器 (D E M) 7 0 は、Q A M 変調波 (同相搬送波と直交搬送波) に同期検波を行うことによって受信アナログ B B 信号としてアナログ同相成分信号 (アナログ I 信号)、アナログ直交成分信号 (アナログ Q 信号) に変換して A / D 変換器 2 4 - 1 、 2 4 - 2 に出

力する。

復調器 (D E M) 7 0 の受信シンボルクロック再生回路は、この受信 I F 信号に重畳されて、受信シンボル周波数の n 倍 (n は整数) の周波数を有する受信シンボルクロックを生成 (再生) して、A / D 変換器 2 4 - 1、2 4 - 2、復号器 (D E C) 7 1、マイクロ波送受信部インターフェース 7 3 に出力する。

A / D 変換器 2 4 - 1、2 4 - 2 は、受信シンボルクロックに同期したサンプリング周波数で復調器 (D E M) 7 0 からのアナログ I 信号、アナログ Q 信号をサンプリングし、サンプリング時のアナログ I 信号、アナログ Q 信号が示す搬送波の振幅に対応したデジタル同相成分信号 (デジタル I 信号)、デジタル直交成分信号 (デジタル Q 信号) を受信デジタルベースバンド信号 (受信デジタル B B 信号) として生成 (変換) して復号器 (D E C) 7 1 に出力する。

復号器 (D E C) 7 1 は、受信シンボルクロックに同期して、受信デジタル B B 信号であるデジタル I 信号、デジタル Q 信号に誤り訂正、復号化の処理を施し、マイクロ波送受信部インターフェース 7 3 に出力する。

マイクロ波送受信部インターフェース 7 3 の識別情報処理回路は、復号器 (D E C) 7 1 からの受信デジタル B B 信号を入力し、それに無線区間での信号識別用情報の除去処理 (識別情報除去処理) を施した受信データを生成して、その受信データバッファ回路に蓄える。マイクロ波送受信部インターフェース 7 3 の入出力は非同期である。このため、そのタイミング調整回路は、その受信データバッファ回路に蓄えられた受信データをマイクロプロセッサ信号処理部 1 8 に出力するタイミングを調整するタイミング調整処理を行う。マイクロ波送受信部インターフェース 7 3 は、マイクロプロセッサ信号処理部 1 8 からのバスクロックに同期して、その受信データをマイクロプロセッサ信号処理部 1 8

に出力する。

マイクロプロセッサ信号処理部 18 のマイクロプロセッサ信号処理部インターフェース 74 は、クロック発生器 30 からの基準クロックに同期して、マイクロ波送受信部 17 (マイクロ波送受信部インターフェース 73) からの受信データを、その受信データバッファ回路に蓄える。マイクロプロセッサ信号処理部インターフェース 74 の入出力は非同期である。このため、そのタイミング調整回路は、その受信データバッファ回路に蓄えられた受信データをマイクロプロセッサ信号処理回路 (CPU) 75 に出力するタイミングを調整するタイミング調整処理を行う。マイクロプロセッサ信号処理部インターフェース 74 は、クロック発生器 30 からの基準クロックに同期して、その受信データをマイクロプロセッサ信号処理回路 (CPU) 75 に出力する。

マイクロプロセッサ信号処理回路 (CPU) 75 は、メモリに記憶された複数のプログラムのうちの応用プログラム (例えば電子メール処理プログラムなど) (図示しない) を実行する。

マイクロプロセッサ信号処理回路 (CPU) 75 は、その応用プログラム (例えば電子メール処理プログラムなど) により、クロック発生器 30 からの基準クロックに同期して、マイクロプロセッサ信号処理部インターフェース 74 からの受信データを処理する。

次に、第 2 従来例の情報処理端末システムが信号を送信するときの動作を説明する。

マイクロプロセッサ信号処理回路 (CPU) 75 は、応用プログラムによって生成された送信データを、クロック発生器 30 からの基準クロックに同期してマイクロプロセッサ信号処理部インターフェース 74 に出力する。

マイクロプロセッサ信号処理部インターフェース 74 は、クロック発生器 30 からの基準クロックに同期して、マイクロプロセッサ信号

処理回路（CPU）75からの送信データを、その送信データバッファ回路に蓄える。マイクロプロセッサ信号処理部インターフェース74の入出力は非同期であるため、そのタイミング調整回路は、その送信データバッファ回路に蓄えられた送信データをマイクロ波送受信部17

5 （マイクロ波送受信部インターフェース73）に出力するタイミングを調整するタイミング調整処理を行う。マイクロプロセッサ信号処理部インターフェース74は、クロック発生器30からの基準クロックに同期して、その送信データをマイクロ波送受信部インターフェース73に出力する。

- 10 クロック発生器27は、送信シンボル周波数を有する送信シンボルクロックを生成してD/A変換器25-1、25-2、符号器（ENC）72、マイクロ波送受信部インターフェース73に出力する。

- マイクロ波送受信部インターフェース73は、マイクロプロセッサ信号処理部インターフェース74からのバスクロックに同期して、マイ
- 15 クロプロセッサ信号処理部18からの送信データを、その送信データバッファ回路に蓄える。マイクロ波送受信部インターフェース73の入出力は非同期であるため、そのタイミング調整回路は、その送信データバッファ回路に蓄えられた送信データを符号器（ENC）72に出力するタイミングを調整するタイミング調整処理を行う。マイクロ波送受信
- 20 部インターフェース73の識別情報処理回路は、クロック発生器27からの送信シンボルクロックに同期して、送信データに無線区間での信号識別用情報の付加処理（識別情報付加処理）を施して符号器（ENC）72に出力する。

- 符号器（ENC）72は、クロック発生器27からの送信シンボルク
- 25 ロックに同期して、マイクロ波送受信部インターフェース73からの送信データに誤り訂正用冗長情報を付加する処理、符号化の処理を施し、送信デジタルベースバンド信号（送信デジタルBB信号）としてデジタ

ル I 信号、デジタル Q 信号を生成して D/A 変換器 25-1、25-2
に出力する。

D/A 変換器 25-1、25-2 は、クロック発生器 27 からの送信
シンボルクロックに同期して、デジタル I 信号、デジタル Q 信号を送信
5 アナログベースバンド信号（送信アナログ BB 信号）として、搬送波の
振幅を示すアナログ I 信号、アナログ Q 信号に変換して変調器（MOD）
23 に出力する。

変調器（MOD）23 は、送信アナログベースバンド信号（送信アナ
ログ BB 信号）であるアナログ I 信号、アナログ Q 信号を同相搬送波と
10 直交搬送波とで直交変調して送信中間周波信号（送信 IF 信号）を生成
し、帯域通過フィルター（BPF）62 を介して周波数変換器（CON
V）61 に出力する。このとき、送信 IF 信号は、帯域通過フィルター
（BPF）62 に設定された搬送波周波数帯域に制限される。

周波数変換器（CONV）61 は、帯域通過フィルター（BPF）6
15 2 からの送信 IF 信号を、局部発振器（OSC）58 により生成された
局部発振信号と混合して送信高周波信号（送信 RF 信号）に変換して、
帯域通過フィルター（BPF）60 を介して電力増幅器（PA）59 に
出力する。周波数変換器（CONV）61 からの送信 RF 信号は、帯域
通過フィルター（BPF）60 に設定された搬送波周波数帯域以外の不
20 要の周波数成分が除去される。

電力増幅器（PA）59 は、送信 RF 信号を送信するために必要な電
力まで送信電力を増幅し、その送信 RF 信号をデュープレクサー（DU
P）52 に出力する。

デュープレクサー（DUP）52 の送信信号帯域通過フィルターには、
25 送信 RF 信号の周波数帯域が設定されている。その送信信号帯域通過フ
ィルターは、電力増幅器（PA）59 からの送信 RF 信号のみを抽出し、
アンテナ 51 を介してネットワークに送信する。

マイクロ波送受信部インターフェース 7 3、マイクロプロセッサ信号処理部インターフェース 7 4間のデータの伝送は、クロック発生器 3 0により生成された基準クロックに同期して行われる。この基準クロックは、復調器 (D E M) 7 0により生成される受信シンボルクロックと、
5 クロック発生器 2 7により生成される送信シンボルクロックとは非同期である。このデータ伝送方式の具体例として、P e r i p h e r a l C o m p o n e n t s I n t e r c o n n e c t b u s (P C I b u s)、C a r d b u sなどが挙げられる。

しかしながら、第 2 従来例の情報処理端末システムには、以下の問題
10 点がある。

第 2 従来例の情報処理端末システムでは、マイクロ波送受信部 1 7における復号器 (D E C) 7 1、符号器 (E N C) 7 2、マイクロ波送受信部インターフェース 7 3の識別情報処理回路で、誤り訂正処理、符号・複合化処理、識別情報付加・除去処理等を行っている。このため、第 2
15 従来例の情報処理端末システムでは、このような処理を行う回路をマイクロ波送受信部 1 7に内蔵する分、情報処理端末システムが大型化してしまう。

第 2 従来例の情報処理端末システムでは、タイミング調整処理に伴う受信データバッファ回路、送信データバッファ回路、タイミング調整回路
20 が必要である。このため、第 2 従来例の情報処理端末システムでは、タイミング調整処理を行う回路をマイクロ波送受信部 1 7、マイクロプロセッサ信号処理部 1 8 (マイクロ波送受信部インターフェース 7 3、マイクロプロセッサ信号処理部インターフェース 7 4)に内蔵する分、情報処理端末システムが大型化してしまう。

25 小型化を実現できる情報処理端末システムが望まれる。

第 2 従来例の情報処理端末システムでは、マイクロ波送受信部 1 7に復号器 (D E C) 7 1、符号器 (E N C) 7 2、マイクロ波送受信部イ

ンターフェース 7 3 の識別情報処理回路を内蔵している。このため、第 2 従来例の情報処理端末システムでは、このような処理を行う回路によって電力を余計に消費してしまう。消費電力は、一般に信号処理クロック周波数（受信シンボルクロック、送信シンボルクロック）に比例する。

- 5 したがって、信号容量の増加に伴ってマイクロプロセッサ信号処理回路（CPU）7 5 の動作周波数を高くすると消費電力が増加する。

第 2 従来例の情報処理端末システムでは、タイミング調整処理を行うために、マイクロ波送受信部 1 7、マイクロプロセッサ信号処理部 1 8（マイクロ波送受信部インターフェース 7 3、マイクロプロセッサ
10 信号処理部インターフェース 7 4）に受信データバッファ回路、送信データバッファ回路、タイミング調整回路を内蔵している。このため、第 2 従来例の情報処理端末システムでは、タイミング調整処理を行う回路によって電力を余計に消費してしまう。

低消費電力を実現できる情報処理端末システムが望まれる。

- 15 第 2 従来例の情報処理端末システムでは、マイクロ波送受信部 1 7 に復号器（DEC）7 1、符号器（ENC）7 2、マイクロ波送受信部インターフェース 7 3 の識別情報処理回路を内蔵している。このため、第 2 従来例の情報処理端末システムでは、信号の送受信（入出力）に伴って発熱する発熱量が、このような処理を行う回路によって余計に増加す
20 る。信号容量の増加に伴ってマイクロプロセッサ信号処理回路（CPU）7 5 の動作周波数を高くすると消費電力とともに発熱量が増加する。伝送容量の大容量化のために信号処理クロック周波数を高くすると復号器（DEC）7 1、符号器（ENC）7 2、マイクロ波送受信部インターフェース 7 3 の消費電力が増加し、発熱量が増加する要因になる。

- 25 第 2 従来例の情報処理端末システムでは、タイミング調整処理を行うために、マイクロ波送受信部 1 7、マイクロプロセッサ信号処理部 1 8（マイクロ波送受信部インターフェース 7 3、マイクロプロセッサ

信号処理部インターフェース 7 4) に受信データバッファ回路、送信データバッファ回路、タイミング調整回路を内蔵している。このため、第 2 従来例の情報処理端末システムでは、信号の送受信（入出力）に伴って発熱する発熱量が、タイミング調整処理を行う回路によって余計に増加する。

低発熱化を実現できる情報処理端末システムが望まれる。

マイクロ波送受信部 1 7 がカード状のような形状の場合、マイクロ波送受信部 1 7 の発熱を放熱するための条件が通常より厳しく設定される。したがって、マイクロ波送受信部 1 7 の発熱を充分放熱できる構造に製造するための製造コストが発生する。

第 2 従来例の情報処理端末システムでは、タイミング調整処理を行うために、マイクロ波送受信部 1 7、マイクロプロセッサ信号処理部 1 8（マイクロ波送受信部インターフェース 7 3、マイクロプロセッサ信号処理部インターフェース 7 4）に受信データバッファ回路、送信データバッファ回路、タイミング調整回路を内蔵している。このため、第 2 従来例の情報処理端末システムでは、タイミング調整処理を行う回路を製造するための製造コストが余計にかかる。

低コスト化を実現できる情報処理端末システムが望まれる。

第 2 従来例の情報処理端末システムでは、タイミング調整処理により、伝達遅延が生じてしまい、スループットの低下を起こしてしまう可能性がある。この問題は、マイクロ波送受信部 1 7（マイクロ波送受信部インターフェース 7 3）とマイクロプロセッサ信号処理部 1 8（マイクロプロセッサ信号処理部インターフェース 7 4）とを接続する部分の信号容量が増大するにつれて顕著になる。

スループットの低下を防止する情報処理端末システムが望まれる。

関連する技術として特開 2 0 0 1 - 4 4 8 8 2 号公報にソフトウェア無線装置の技術が開示されている。このソフトウェア無線装置は、少な

- くとも1本のアンテナと、アンテナ制御部と、無線信号処理部と、信号処理部と、外部インタフェース部とを含んで成る。前記アンテナ制御部、無線信号処理部、外部インタフェース部に、それぞれプロセッサを内蔵せしめる。それと共に、上記各部と前記信号処理部を含む各部間に制御
- 5 情報を授受する信号インタフェースを設ける。ソフトウェア無線装置は、上記各部が、自己の動作を、信号インタフェース上の制御情報に基づいて、内蔵するプロセッサを用いてソフトウェアによって制御するように構成されたことを特徴とする。ただし、アンテナは、無線信号の送受信を行う。アンテナ制御部は、該アンテナの送受信の切替や、アンテナの
- 10 指向性制御等を行う。無線信号処理部は、受信に際しては、上記アンテナ制御部からの信号を受けてIF周波数、またはベースバンドへの周波数変換、帯域制限、レベル調整A/D変換等の信号処理を行い、送信に際しては、入力された信号に対して、D/A変換帯域制限等の信号処理の後、RF周波数に周波数変換して、前記アンテナ制御部に信号を出力
- 15 する。信号処理部は、受信に際しては、前記無線信号処理部によりデジタル化された受信信号を受けて復調信号処理し、送信に際しては、外部インタフェース部を介して入力された信号に対して変調信号処理を行い前記無線信号処理部に出力する機能を有し、それらの制御を内蔵するプロセッサにより行い、該プロセッサの動作に必要なソフトウェアの少
- 20 なくとも一部を入れ替えることが可能な構成を有する。外部インタフェース部は、受信に際しては、該信号処理部で復調信号処理した信号を、外部のインタフェースとの整合を採ったうえで出力し、送信に際しては、外部機器とのインタフェースの整合を採ったうえで前記信号処理部に出力する。
- 25 関連する技術として特開2000-92142号公報にデータ伝送方式の技術が開示されている。このデータ伝送方式は、送信する主データの変調出力の帯域外に、副データで変調をかけた所定の周波数変換情報

を付加して送信する送信部と、当該送信信号の受信出力から上記周波数変換情報を抽出し、当該周波数変換情報に基づき、受信側における周波数変換の基準となる信号を制御すると共に、上記副データを復号する受信部を有することを特徴とする。

- 5 関連する技術として特開 2000-151553 号公報に信号伝送装置の技術が開示されている。この信号伝送装置は、送信側において I F 信号を周波数変換して送信し、受信側において受信した信号を周波数変換して I F 信号を得る。送信側に、パイロット信号を生成する手段と、パイロット信号を I F 信号に付加する手段とを備える。受信側に、上記
- 10 パイロット信号を抽出する手段と、上記パイロット信号を周波数変換する手段とを備える。周波数変換して得られた上記パイロット信号をローカル信号として周波数変換して I F 信号を得ることを特徴とする。

- 関連する技術として特開 2002-64845 号公報に無線基地局装置およびリソース情報照合方法の技術が開示されている。この無線基地
- 15 局装置は、設定されたりリソース情報によりハードウェアリソースの構成を任意に変更可能な通信処理手段と、この通信処理手段のハードウェアリソースに設定されたりリソース情報とあらかじめ記録されたりリソース管理情報とを一定の時間間隔で照合し、照合結果に従って前記通信手段の構成を変更する基地局制御手段とを具備することを特徴とする。

20

発明の開示

したがって、本発明の目的は、利用性が向上する情報処理端末システムを提供することにある。

- 本発明の他の目的は、小型化を実現できる情報処理端末システムを提
- 25 供することにある。

本発明の更に他の目的は、低消費電力を実現できる情報処理端末システムを提供することにある。

本発明の更に他の目的は、低発熱化を実現できる情報処理端末システムを提供することにある。

本発明の更に他の目的は、低コスト化を実現できる情報処理端末システムを提供することにある。

- 5 本発明の更に他の目的は、スループットの低下を防止する情報処理端末システムを提供することにある。

したがって、上記課題を解決するために本発明の情報処理端末システムは、情報処理端末と、その情報処理端末に着脱可能な送受信装置とを具備する。その送受信装置は、送受信処理部と、復調部と、変調部と、
10 ベースバンド処理部とを備える。その送受信装置がその情報処理端末に装着されているときに、その送受信処理部は、ネットワークからの受信変調波信号をその復調部に出力し、その変調部からの送信変調波信号をそのネットワークに送出する。その復調部は、その送受信処理部からのその受信変調波信号を受信アナログベースバンド信号に変換する。その
15 ベースバンド処理部は、その受信アナログベースバンド信号を受信デジタル信号に変換してその情報処理端末に出力し、その情報処理端末からの送信デジタル信号を送信アナログベースバンド信号に変換する。その変調部は、その送信アナログベースバンド信号をその送信変調波信号に変換する。そのベースバンド処理部とその情報処理端末とは、クロック
20 により同期して動作する。その受信デジタル信号は、受信データを含む。その送信デジタル信号は、送信データを含む。

上記の情報処理端末システムにおいて、そのベースバンド処理部は、その受信アナログベースバンド信号をその受信デジタル信号としての受信デジタルベースバンド信号に変換してその情報処理端末に出力し、そ
25 の情報処理端末からのその送信デジタル信号としての送信デジタルベースバンド信号をその送信アナログベースバンド信号に変換する。その情報処理端末は、そのベースバンド処理部からのその受信デジタルベース

バンド信号を受信データに変換し、その送信データをその送信デジタルベースバンド信号に変換する。

上記の情報処理端末システムにおいて、その情報処理端末は、インターフェースと、そのベースバンド処理部からそのインターフェースを介して入力されるその受信デジタルベースバンド信号をその受信データに変換し、その送信データをその送信デジタルベースバンド信号に変換してそのインターフェースを介してそのベースバンド処理部に出力する制御部とを備える。その復調部は、周波数を有する受信シンボルクロックを生成してそのクロックとしてそのベースバンド処理部とそのインターフェースとその制御部とに出力する。

上記の情報処理端末システムにおいて、その情報処理端末は、インターフェースと、そのベースバンド処理部からそのインターフェースを介して入力されるその受信デジタルベースバンド信号をその受信データに変換し、その送信データをその送信デジタルベースバンド信号に変換してそのインターフェースを介してそのベースバンド処理部に出力する制御部とを備える。その送受信装置は、更に、クロック発生器を備える。その復調部は、周波数を有する受信シンボルクロックを生成してそのクロック発生器に出力する。そのクロック発生器は、その復調部からのその受信シンボルクロックに基づいて2次受信シンボルクロックを生成してそのクロックとしてそのベースバンド処理部とそのインターフェースとその制御部とに出力する。その2次受信シンボルクロックは、その受信シンボルクロックに同期し、その受信シンボルクロックの周波数とは異なる周波数を有する。

上記の情報処理端末システムにおいて、その情報処理端末は、インターフェースと、そのベースバンド処理部からそのインターフェースを介して入力されるその受信デジタルベースバンド信号をその受信データに変換し、その送信データをその送信デジタルベースバンド信号に変換し

てそのインターフェースを介してそのベースバンド処理部に出力する制御部と、クロック発生器とを備える。その復調部は、周波数を有する受信シンボルクロックを生成してそのクロックとしてそのベースバンド処理部とそのインターフェースとそのクロック発生器とに出力する。その

5 クロック発生器は、その復調部からのその受信シンボルクロックを1次クロックとして入力し、その1次クロックに同期した2次クロックを生成してそのクロックとしてその制御部に出力し、その1次クロックが入力されない場合、自走発振によりその2次クロックを生成してそのクロックとしてその制御部に出力する。

- 10 上記の情報処理端末システムにおいて、その情報処理端末は、インターフェースと、そのベースバンド処理部からそのインターフェースを介して入力されるその受信デジタルベースバンド信号をその受信データに変換し、その送信データをその送信デジタルベースバンド信号に変換してそのインターフェースを介してそのベースバンド処理部に出力する制
- 15 御部とを備える。その送受信装置は、更に、クロック発生器を備える。その送受信処理部は、周波数を有する基準信号を生成してそのクロック発生器に出力する。そのクロック発生器は、その送受信処理部からのその基準信号に基づいて、その受信変調波信号の搬送波を再生してその復調部に出力すると共に受信シンボルクロックを生成してそのクロックと
- 20 してそのベースバンド処理部とそのインターフェースとその制御部とに出力する。その受信シンボルクロックは、その基準信号に同期する。その復調部とそのベースバンド処理部とそのインターフェースとその制御部とはその受信シンボルクロックにより同期して動作する。

- 上記の情報処理端末システムにおいて、その情報処理端末は、インター
- 25 ーフェースと、そのベースバンド処理部からそのインターフェースを介して入力されるその受信デジタルベースバンド信号をその受信データに変換し、その送信データをその送信デジタルベースバンド信号に変換し

てそのインターフェースを介してそのベースバンド処理部に出力する制御部とを備える。その送受信装置は、更に、クロック発生器を備える。そのクロック発生器は、自走発振によりそのクロックを生成してそのベースバンド処理部とそのインターフェースとその制御部とに出力する。

- 5 上記の情報処理端末システムにおいて、その情報処理端末は、インターフェースと、そのベースバンド処理部からそのインターフェースを介して入力されるその受信デジタルベースバンド信号をその受信データに変換し、その送信データをその送信デジタルベースバンド信号に変換してそのインターフェースを介してそのベースバンド処理部に出力する制御部と、クロック発生器とを備える。そのクロック発生器は、自走発振によりそのクロックを生成してそのベースバンド処理部とそのインターフェースとその制御部とに出力する。
- 10

- 上記の情報処理端末システムにおいて、そのベースバンド処理部は、その受信アナログベースバンド信号をその受信デジタル信号としての受信データに変換してその情報処理端末に出力し、その情報処理端末からのその送信デジタル信号としての送信データを送信アナログベースバンド信号に変換する。
- 15

- 上記の情報処理端末システムにおいて、その情報処理端末は、インターフェースと、そのベースバンド処理部からそのインターフェースを介してその受信データを入力し、その送信データをそのインターフェースを介してそのベースバンド処理部に出力する制御部とを備える。その復調部は、周波数を有する受信シンボルクロックを生成してそのクロックとしてそのベースバンド処理部とそのインターフェースとその制御部とに出力する。
- 20

- 25 上記の情報処理端末システムにおいて、その情報処理端末は、インターフェースと、そのベースバンド処理部からそのインターフェースを介してその受信データを入力し、その送信データをそのインターフェース

を介してそのベースバンド処理部に出力する制御部とを備える。その送受信装置は、更に、クロック発生器を備える。その復調部は、周波数を有する受信シンボルクロックを生成してそのクロック発生器に出力する。そのクロック発生器は、その復調部からのその受信シンボルクロックに基づいて2次受信シンボルクロックを生成してそのクロックとしてそのベースバンド処理部とそのインターフェースとその制御部とに出力する。その2次受信シンボルクロックは、その受信シンボルクロックに同期し、その受信シンボルクロックの周波数とは異なる周波数を有する。

上記の情報処理端末システムにおいて、その情報処理端末は、インターフェースと、そのベースバンド処理部からそのインターフェースを介してその受信データを入力し、その送信データをそのインターフェースを介してそのベースバンド処理部に出力する制御部と、クロック発生器とを備える。その復調部は、周波数を有する受信シンボルクロックを生成してそのクロックとしてそのベースバンド処理部とそのインターフェースとそのクロック発生器とに出力する。そのクロック発生器は、その復調部からのその受信シンボルクロックを1次クロックとして入力し、その1次クロックに同期した2次クロックを生成してそのクロックとしてその制御部に出力し、その1次クロックが入力されない場合、自走発振によりその2次クロックを生成してそのクロックとしてその制御部に出力する。

上記の情報処理端末システムにおいて、その情報処理端末は、インターフェースと、そのベースバンド処理部からそのインターフェースを介してその受信データを入力し、その送信データをそのインターフェースを介してそのベースバンド処理部に出力する制御部とを備える。その送受信装置は、更に、クロック発生器を備える。その送受信処理部は、周波数を有する基準信号を生成してそのクロック発生器に出力する。そのクロック発生器は、その送受信処理部からのその基準信号に基づいて、

その受信変調波信号の搬送波を再生してその復調部に出力すると共に受信シンボルクロックを生成してそのクロックとしてそのベースバンド処理部とそのインターフェースとその制御部とに出力する。その受信シンボルクロックは、その基準信号に同期する。その復調部とそのベースバンド処理部とそのインターフェースとその制御部とはその受信シンボルクロックにより同期して動作する。

上記の情報処理端末システムにおいて、その情報処理端末は、インターフェースと、そのベースバンド処理部からそのインターフェースを介してその受信データを入力し、その送信データをそのインターフェースを介してそのベースバンド処理部に出力する制御部とを備える。その送受信装置は、更に、クロック発生器を備える。そのクロック発生器は、自走発振によりそのクロックを生成してそのベースバンド処理部とそのインターフェースとその制御部とに出力する。

上記の情報処理端末システムにおいて、その情報処理端末は、インターフェースと、そのベースバンド処理部からそのインターフェースを介してその受信データを入力し、その送信データをそのインターフェースを介してそのベースバンド処理部に出力する制御部と、クロック発生器とを備える。そのクロック発生器は、自走発振によりそのクロックを生成してそのベースバンド処理部とそのインターフェースとその制御部とに出力する。

上記課題を解決するために本発明の情報処理端末システムは、情報処理端末と、その情報処理端末に着脱可能な送受信装置とを具備する。その送受信装置は、送受信処理部と、復調部と、変調部と、ベースバンド処理部とを備える。その送受信装置がその情報処理端末に装着されているときに、その送受信処理部は、ネットワークからの受信変調波信号をその復調部に出力し、その変調部からの送信変調波信号をそのネットワークに送出する。その復調部は、その送受信処理部からのその受信変調

波信号を受信アナログベースバンド信号に変換する。そのベースバンド処理部は、その受信アナログベースバンド信号を受信デジタルベースバンド信号に変換し、その情報処理端末からの送信デジタルベースバンド信号を送信アナログベースバンド信号に変換する。その変調部は、その送信アナログベースバンド信号をその送信変調波信号に変換する。その情報処理端末は、そのベースバンド処理部からのその受信デジタルベースバンド信号を受信データに変換し、送信データをその送信デジタルベースバンド信号に変換する。

上記課題を解決するために本発明の情報処理端末の送受信方法は、着脱可能な送受信装置が装着された情報処理端末の送受信方法である。

(a) その送受信装置において、そのネットワークからの受信変調波信号を復調し、受信アナログベースバンド信号に変換するステップと、

(b) その送受信装置において、その受信アナログベースバンド信号をクロックに同期して受信データを含む受信デジタル信号に変換するステップと、(c) その情報処理端末において、その受信デジタル信号をそのクロックに同期して受信するステップと、(d) その情報処理端末において、送信データを含む送信デジタル信号をそのクロックに同期して送信するステップと、(e) その送受信装置において、その送信デジタル信号をそのクロックに同期して送信アナログベースバンド信号に変換するステップと、(f) その送受信装置において、その送信アナログベースバンド信号を送信変調波信号に変換するステップと、(g) その送受信装置において、その変換された送信変調波信号をそのネットワークに送出するステップとを有する。

上記の情報処理端末の送受信方法において、その(b)ステップは、(b 1) その送受信装置において、その受信アナログベースバンド信号をその受信デジタル信号としての受信デジタルベースバンド信号に変換するステップを備える。その(c)ステップは、(c 1) その情報処理端末に

において、その受信デジタルベースバンド信号をその受信データに変換するステップを備える。その（d）ステップは、（d 1）その情報処理端末において、その送信データをその送信デジタル信号としての送信デジタルベースバンド信号に変換するステップを備える。その（e）ステップは、（e 1）その送受信装置において、その送信デジタルベースバンド信号をその送信アナログベースバンド信号に変換するステップを備える。

上記の情報処理端末の送受信方法において、その（b）ステップは、（b 2）その送受信装置において、その受信アナログベースバンド信号をその受信デジタル信号としてのその受信データに変換するステップを備える。その（c）ステップは、（c 2）その情報処理端末において、その受信データを受信するステップを備える。その（d）ステップは、（d 2）その情報処理端末において、その送信デジタル信号としてのその送信データをその送受信装置に出力するステップを備える。その（e）ステップは、（e 2）その送受信装置において、その送信データを送信アナログベースバンド信号に変換するステップを備える。

上記課題を解決するために本発明の情報処理端末の送受信方法は、着脱可能な送受信装置が装着された情報処理端末の送受信方法である。

（h）その送受信装置において、そのネットワークからの受信変調波信号を復調し、受信アナログベースバンド信号に変換するステップと、（i）その送受信装置において、その受信アナログベースバンド信号を受信デジタルベースバンド信号に変換するステップと、（j）その情報処理端末において、その受信デジタルベースバンド信号を受信データに変換するステップと、（k）その情報処理端末において、送信データをその送信デジタルベースバンド信号に変換するステップと、（l）その送受信装置において、その送信デジタルベースバンド信号を送信アナログベースバンド信号に変換するステップと、（m）その送受信装置において、その送信アナログベースバンド信号を送信変調波信号に変換するステップ

と、(n)その送受信装置において、その送信変調波信号をそのネットワークに送出するステップとを有する。

上記課題を解決するために本発明の送受信装置は、情報処理端末と、その情報処理端末に着脱可能な送受信装置とを具備する情報処理端末システムに使用する。送受信処理部と、復調部と、変調部と、ベースバンド処理部とを備える。その送受信装置がその情報処理端末に装着されているときに、その送受信処理部は、ネットワークからの受信変調波信号をその復調部に出力し、その変調部からの送信変調波信号をそのネットワークに送出する。その復調部は、その送受信処理部からのその受信変調波信号を受信アナログベースバンド信号に変換する。そのベースバンド処理部は、その受信アナログベースバンド信号を受信デジタル信号に変換してその情報処理端末に出力し、その情報処理端末からの送信デジタル信号を送信アナログベースバンド信号に変換する。その変調部は、その送信アナログベースバンド信号をその送信変調波信号に変換する。

5 10 15

上記の送受信装置において、そのベースバンド処理部は、その受信アナログベースバンド信号をその受信デジタル信号としての受信デジタルベースバンド信号に変換してその情報処理端末に出力し、その情報処理端末からのその送信デジタル信号としての送信デジタルベースバンド信号をその送信アナログベースバンド信号に変換する。その情報処理端末は、そのベースバンド処理部からのその受信デジタルベースバンド信号を受信データに変換し、その送信データをその送信デジタルベースバンド信号に変換する。

20 25

上記の送受信装置において、そのベースバンド処理部は、その受信アナログベースバンド信号をその受信デジタル信号としての受信データに

変換してその情報処理端末に出力し、その情報処理端末からのその送信デジタル信号としての送信データを送信アナログベースバンド信号に変換する。

上記課題を解決するために本発明の情報処理端末は、情報処理端末と、
5 その情報処理端末に着脱可能な送受信装置とを具備する情報処理端末システムに使用する。その送受信装置は、送受信処理部と、復調部と、変調部と、ベースバンド処理部とを備える。その送受信装置がその情報処理端末に装着されているときに、その送受信処理部は、ネットワークからの受信変調波信号をその復調部に出力し、その変調部からの送信変調
10 波信号をそのネットワークに送出する。その復調部は、その送受信処理部からのその受信変調波信号を受信アナログベースバンド信号に変換する。そのベースバンド処理部は、その受信アナログベースバンド信号を受信デジタル信号に変換してその情報処理端末に出力し、その情報処理端末からの送信デジタル信号を送信アナログベースバンド信号に変換す
15 る。その変調部は、その送信アナログベースバンド信号をその送信変調波信号に変換する。そのベースバンド処理部とその情報処理端末とは、クロックにより同期して動作する。その受信デジタル信号は、受信データを含み、その送信デジタル信号は、送信データを含む。

上記の情報処理端末において、そのベースバンド処理部は、その受信
20 アナログベースバンド信号をその受信デジタル信号としての受信デジタルベースバンド信号に変換してその情報処理端末に出力し、その情報処理端末からのその送信デジタル信号としての送信デジタルベースバンド信号をその送信アナログベースバンド信号に変換する。その情報処理端末は、そのベースバンド処理部からのその受信デジタルベースバンド信
25 号を受信データに変換し、その送信データをその送信デジタルベースバンド信号に変換する。

上記の情報処理端末において、そのベースバンド処理部は、その受信

アナログベースバンド信号をその受信デジタル信号としての受信データに変換してその情報処理端末に出力し、その情報処理端末からのその送信デジタル信号としての送信データを送信アナログベースバンド信号に変換する。

- 5 上記課題を解決するために本発明の送受信装置は、情報処理端末と、その情報処理端末に着脱可能な送受信装置とを具備する情報処理端末システムに使用する。送受信処理部と、復調部と、変調部と、ベースバンド処理部とを備える。その送受信装置がその情報処理端末に装着されているときに、その送受信処理部は、そのネットワークからの受信変調波
- 10 信号をその復調部に出力し、その変調部からの送信変調波信号をそのネットワークに送出する。その復調部は、その送受信処理部からのその受信変調波信号を受信アナログベースバンド信号に変換する。そのベースバンド処理部は、その受信アナログベースバンド信号を受信デジタルベースバンド信号に変換し、その情報処理端末からの送信デジタルベース
- 15 バンド信号を送信アナログベースバンド信号に変換する。その変調部は、その送信アナログベースバンド信号をその送信変調波信号に変換する。その情報処理端末は、そのベースバンド処理部からのその受信デジタルベースバンド信号を受信データに変換し、送信データをその送信デジタルベースバンド信号に変換する。

- 20 上記課題を解決するために本発明の情報処理端末は、情報処理端末と、その情報処理端末に着脱可能な送受信装置とを具備する情報処理端末システムに使用する。その送受信装置は、送受信処理部と、復調部と、変調部と、ベースバンド処理部とを備える。その送受信装置がその情報処理端末に装着されているときに、その送受信処理部は、そのネットワー
- 25 クからの受信変調波信号をその復調部に出力し、その変調部からの送信変調波信号をそのネットワークに送出する。その復調部は、その送受信処理部からのその受信変調波信号を受信アナログベースバンド信号に変

換する。そのベースバンド処理部は、その受信アナログベースバンド信号を受信デジタルベースバンド信号に変換し、その情報処理端末からの送信デジタルベースバンド信号を送信アナログベースバンド信号に変換する。その変調部は、その送信アナログベースバンド信号をその送信変調波信号に変換する。その情報処理端末は、そのベースバンド処理部からのその受信デジタルベースバンド信号を受信データに変換し、送信データをその送信デジタルベースバンド信号に変換する。

図面の簡単な説明

- 10 図 1 は、第 2 従来例の情報処理端末システムの構成を示す。
- 図 2 は、本発明の第 1 実施形態の情報処理端末システムの構成を示す。
- 図 3 は、本発明の第 2 実施形態の情報処理端末システムの構成を示す。
- 図 4 は、本発明の第 3 実施形態の情報処理端末システムの構成を示す。
- 図 5 は、本発明の第 4 実施形態の情報処理端末システムの構成を示す。
- 15 図 6 は、本発明の第 5 実施形態の情報処理端末システムの構成を示す。
- 図 7 は、本発明の第 6 実施形態の情報処理端末システムの構成を示す。
- 図 8 は、本発明の第 7 実施形態の情報処理端末システムの構成を示す。
- 図 9 は、本発明の第 8 実施形態の情報処理端末システムの構成を示す。
- 図 10 は、本発明の第 1 実施形態の情報処理端末システムの変形例を示す。
- 20 図 11 は、本発明の第 2 実施形態の情報処理端末システムの変形例を示す。
- 図 12 は、本発明の第 3 実施形態の情報処理端末システムの変形例を示す。
- 25 図 13 は、本発明の第 4 実施形態の情報処理端末システムの変形例を示す。
- 図 14 は、本発明の第 5 実施形態の情報処理端末システムの変形例を示す。

示す。

図 1 5 は、本発明の第 6 実施形態の情報処理端末システムの変形例を示す。

図 1 6 は、本発明の第 7 実施形態の情報処理端末システムの変形例を示す。

図 1 7 は、本発明の第 8 実施形態の情報処理端末システムの変形例を示す。

図 1 8 は、本発明の第 4 ' 実施形態の情報処理端末システムとして、第 4 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用した情報処理端末システムの構成を示す。

図 1 9 は、本発明の第 5 ' 実施形態の情報処理端末システムとして、第 5 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用した情報処理端末システムの構成を示す。

図 2 0 は、本発明の第 6 ' 実施形態の情報処理端末システムとして、第 6 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用した情報処理端末システムの構成を示す。

図 2 1 は、本発明の第 7 ' 実施形態の情報処理端末システムとして、第 7 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用した情報処理端末システムの構成を示す。

図 2 2 は、本発明の第 8 ' 実施形態の情報処理端末システムとして、第 8 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用した情報処理端末システムの構成を示す。

図 2 3 は、本発明の第 4 ' 実施形態の情報処理端末システムの変形例を示す。

図 2 4 は、本発明の第 5 ' 実施形態の情報処理端末システムの変形例を示す。

図 2 5 は、本発明の第 6 ' 実施形態の情報処理端末システムの変形例

を示す。

図 2 6 は、本発明の第 7' 実施形態の情報処理端末システムの変形例を示す。

図 2 7 は、本発明の第 8' 実施形態の情報処理端末システムの変形例 5 を示す。

発明を実施するための最良の形態

添付図面を参照して、本発明による情報処理端末システムの実施の形態を以下に説明する。

10 (第 1 実施形態)

図 2 は、本発明の第 1 実施形態の情報処理端末システムとしてマイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。この第 1 実施形態の情報処理端末システムでは、小型化、低発熱化、低コスト化を実現し、利用性（携帯性、経済性）が向上する。

15 第 1 実施形態の情報処理端末システムは、ネットワークに接続されたアンテナ 5 1 と、マイクロ波送受信部 1 と、マイクロプロセッサ信号処理部 2 とを具備する。アンテナ 5 1 とマイクロ波送受信部 1 とは、送受信装置（通信装置）である。マイクロプロセッサ信号処理部 2 は、情報処理端末である。情報処理端末としては、PDA（Personal Digital Assistant）、携帯コンピュータが該当する。

マイクロ波送受信部 1 は、受信時に、アンテナ 5 1 を介して受信した、変調波である受信高周波信号 {受信 RF (Radio Frequency) 信号} を復調し受信デジタルベースバンド信号（受信デジタル B 25 B 信号）に変換してマイクロプロセッサ信号処理部 2 に出力する。マイクロ波送受信部 1 は、送信時に、マイクロプロセッサ信号処理部 2 からの送信デジタルベースバンド信号（送信デジタル B B 信号）を、変

調波である送信高周波信号（送信RF信号）に変換してアンテナ51を介して送信する。

このマイクロ波送受信部1は、高周波処理部21、変復調処理部81を備えている。この高周波処理部21は、第2従来例の高周波処理部251と同じである（図1参照）。

高周波処理部21は、受信時に、アンテナ51を介して受信した受信RF信号を復調し受信中間周波信号{受信IF（Intermediate Frequency）信号}に変換して変復調処理部81に出力する。高周波処理部21は、送信時に、変復調処理部81からの送信IF信号を送信RF信号に変換してアンテナ51を介して送信する。

変復調処理部81は、受信時に、高周波処理部21からの受信変調波信号である受信IF信号を受信デジタルBB信号に変換してマイクロプロセッサ信号処理部2に出力する。変復調処理部81は、送信時に、マイクロプロセッサ信号処理部2からの送信デジタルBB信号を送信変調波信号である送信IF信号に変換して高周波処理部21に出力する。

高周波処理部21は、デュープレクサ（DUP）52、低雑音増幅器（LNA）53、帯域通過フィルタ（BPF）54、56、60、62、周波数変換器（CONV）55、61、局部発振器（OSC）57、58、電力増幅器（PA）59を備えている。

デュープレクサ（DUP）52は、受信信号帯域通過フィルタ（図示しない）、送信信号帯域通過フィルタ（図示しない）を備えている。

変復調処理部81は、復調器（DEM）22、変調器（MOD）23、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ／デジタル（A／D）変換器24-1、24-2、デジタル／アナログ（D／A）変換器25-1、25-2、クロック発生器（CLOCK GEN）27、マイクロ波送受信部インターフェース（I／F）28を備えている。

復調器（DEM）22は、搬送波再生回路（図示しない）、受信シンボ
ルクロック再生回路（図示しない）を備えている。

マイクロ波送受信部インターフェース28は、受信データバッファ回
路（図示しない）、送信データバッファ回路（図示しない）、変換回路（図
5 示しない）、タイミング調整回路（図示しない）を備えている。

マイクロプロセッサ信号処理部2は、クロック発生器（CLOCK
GEN）30、マイクロプロセッサ信号処理部インターフェース（I
/F）29、CPU（Central Processing Unit）であるマイクロプロセッサ信号処理回路26を備えている。

10 クロック発生器30は、基準クロックを生成してマイクロプロセッサ
ー信号処理部インターフェース29、マイクロプロセッサ信号処理回
路（CPU）26に出力する。

マイクロプロセッサ信号処理部インターフェース29は、この基準
クロックに同期したバスクロック信号を生成してマイクロ波送受信部イ
ンターフェース28に出力する。マイクロプロセッサ信号処理部イン
15 ターフェース29は、受信データバッファ回路（図示しない）、送信デー
タバッファ回路（図示しない）、変換回路（図示しない）、タイミング調
整回路（図示しない）を備えている。

マイクロプロセッサ信号処理回路（CPU）26は、マイクロプロ
セッサ（図示しない）、メモリ（図示しない）、入出力装置（図示しな
20 い）等を含み、そのメモリには、複数のプログラム（図示しない）が記
憶されている。

第1実施形態の情報処理端末システムは、マイクロプロセッサ信号
処理部2からマイクロ波送受信部1を着脱できる構造である。マイクロ
25 波送受信部1とマイクロプロセッサ信号処理部2とが分離されている
ときでも、マイクロプロセッサ信号処理回路（CPU）26は、クロ
ック発生器30からの基準クロックに同期して、メモリに記憶された複

数のプログラムのうち、マイクロ波送受信機能を利用しない表計算や文書作成など一般のプログラム（図示しない）を実行することができ、前記の一般的な情報処理（情報処理端末の機能のみが使用される処理）を行うことが可能である。つまり、ユーザは、マイクロプロセッサ信号
5 処理部 2 の機能のみでも第 1 実施形態の情報処理端末システムを情報処理端末として使用できる。

まず、高周波処理部 2 1 について説明する。

デュープレクサ（DUP）5 2 の受信信号帯域通過フィルタには、受信 RF 信号の周波数帯域が設定されている。その受信信号帯域通過フ
10 イルタは、アンテナ 5 1 により受信された受信 RF 信号のみを抽出し、低雑音増幅器（LNA）5 3 に出力する。直交振幅変調信号（QAM 変調信号）の場合、受信 RF 信号は、シンボル周波数（受信シンボル周波数）を有する受信デジタル BB 信号を同相搬送波と同相搬送波から 90° 位相をずらした直交搬送波とで直交変調して生成された、搬送波周
15 波数を有する信号である。

デュープレクサ（DUP）5 2 の送信信号帯域通過フィルタには、送信 RF 信号の周波数帯域が設定されている。その送信信号帯域通過フィルタは、電力増幅器（PA）5 9 からの送信 RF 信号のみを抽出し、アンテナ 5 1 を介してネットワークに送信する。
20 低雑音増幅器（LNA）5 3 は、デュープレクサ（DUP）5 2 からの受信 RF 信号を、復調器（DEM）2 2 が信号処理を行うために十分なレベルまで増幅して、帯域通過フィルタ（BPF）5 4 を介して周波数変換器（CONV）5 5 に出力する。低雑音増幅器（LNA）5 3 からの受信 RF 信号は、帯域通過フィルタ（BPF）5 4 に設定さ
25 れた搬送波周波数帯域以外の不要の周波数成分が除去される。

局部発振器（OSC）5 7 は、局部発振信号を生成する。

周波数変換器（CONV）5 5 は、不要の周波数成分が除去された受

信 R F 信号を、局部発振器 (O S C) 5 7 により生成された局部発振信号と混合して受信中間周波信号 (受信 I F 信号) に変換し、帯域通過フィルター (B P F) 5 6 を介して変復調処理部 8 1 に出力する。周波数変換器 (C O N V) 5 5 からの受信 I F 信号は、帯域通過フィルター (B P F) 5 6 にて設定された搬送波周波数帯域が選択される。

変復調処理部 8 1 からの送信 I F 信号は、帯域通過フィルター (B P F) 6 2 を介して周波数変換器 (C O N V) 6 1 に出力され、帯域通過フィルター (B P F) 6 2 にて設定された搬送波周波数帯域が選択される。

10 局部発振器 (O S C) 5 8 は、局部発振信号を生成する。

周波数変換器 (C O N V) 6 1 は、帯域通過フィルター (B P F) 6 2 からの送信 I F 信号を、局部発振器 (O S C) 5 8 により生成された局部発振信号と混合して送信高周波信号 (送信 R F 信号) に変換して、帯域通過フィルター (B P F) 6 0 を介して電力増幅器 (P A) 5 9 に
15 出力する。周波数変換器 (C O N V) 6 1 からの送信 R F 信号は、帯域通過フィルター (B P F) 6 0 に設定された搬送波周波数帯域以外の不要な周波数成分が除去される。

電力増幅器 (P A) 5 9 は、送信 R F 信号を送信するために必要な電力まで増幅し、デュープレクサー (D U P) 5 2 に出力する。

20 次に、変復調処理部 8 1 について説明する。

復調器 (D E M) 2 2 は、帯域通過フィルター (B P F) 5 6 からの受信 I F 信号を受信アナログベースバンド信号に変換する。Q A M 変調信号の場合、復調器 (D E M) 2 2 は、受信 I F 信号の搬送波を再生し同期検波を行う。

25 すなわち、復調器 (D E M) 2 2 の搬送波再生回路は、受信 I F 信号から同相搬送波と直交搬送波とを生成 (再生) する。復調器 (D E M) 2 2 は、それらを用いて、Q A M 変調波 (同相変調波と直交変調波) を

同期検波することによって受信アナログ B B 信号、すなわちアナログ同相成分信号 (アナログ I 信号)、アナログ直交成分信号 (アナログ Q 信号) に変換し、A/D 変換器 24-1、24-2 に出力する。

5 復調器 (DEM) 22 の受信シンボルクロック再生回路は、この受信アナログ B B 信号に重畳されている受信シンボル周波数の n 倍 (n は整数) の周波数を有する受信シンボルクロックを生成 (再生) して、A/D 変換器 24-1、24-2、マイクロ波送受信部インターフェース 28 に出力する。

10 A/D 変換器 24-1、24-2 は、受信シンボルクロックに同期したサンプリング周波数で復調器 (DEM) 22 からのアナログ I 信号、アナログ Q 信号をサンプリングし、サンプリング時のアナログ I 信号、アナログ Q 信号が示す搬送波の振幅に対応したデジタル同相成分信号 (デジタル I 信号)、デジタル直交成分信号 (デジタル Q 信号) を受信デジタルベースバンド信号 (受信デジタル B B 信号) として生成 (変換)
15 してマイクロ波送受信部インターフェース 28 に出力する。

受信シンボル周波数が 10 MHz であり、受信シンボルクロックがその 4 倍の周波数 ($n = 4$; 4 倍オーバーサンプリング) であるとき、サンプリング周波数は 40 MHz となる。A/D 変換器 24-1、24-2 がフルスケールで 8 ビットの場合、デジタル I 信号、デジタル Q 信号
20 の 2 チャンネルあることを考慮すると、受信デジタル B B 信号 (デジタル I 信号、デジタル Q 信号) の帯域幅は 80 Mバイト/秒となる。

クロック発生器 27 は、送信シンボル周波数を有する送信シンボルクロックを生成して D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 28 に出力する。

25 マイクロ波送受信部インターフェース 28 の変換回路は、受信デジタル B B 信号 (デジタル I 信号、デジタル Q 信号)、送信デジタル B B 信号 (デジタル I 信号、デジタル Q 信号) に信号レベル変換処理、パラレル

ビット変換処理を施す。信号レベル変換処理は、各入出力の電流、電圧等の物理規格を変換する処理である。パラレルビット変換処理は、入出力のデータビット幅が異なる場合に伝送効率を考慮してデータを融合、分離する処理である。例えば、受信デジタルBB信号が1受信シンボル

5 クロック当たり8ビットの2倍、つまり16ビットずつマイクロ波送受信部インターフェース28に入力される場合、マイクロ波送受信部インターフェース28－マイクロプロセッサ信号処理部インターフェース29間のデータビット幅が32ビットであれば、2受信シンボルクロック分の受信デジタルBB信号を融合することにより1回の転送で済む。

10 マイクロ波送受信部インターフェース28の変換回路は、受信時に、復調器(DEM)22からの受信シンボルクロックに同期して、A/D変換器24-1、24-2からの受信デジタルBB信号(デジタルI信号、デジタルQ信号)にパラレルビット変換処理を施し、その受信データバッファ回路に蓄える。その変換回路は、その受信データバッファ回

15 路に蓄えられた受信デジタルBB信号(デジタルI信号、デジタルQ信号)に信号レベル変換処理を施す。マイクロ波送受信部インターフェース28の入出力は非同期である。このため、そのタイミング調整回路は、その受信データバッファ回路に蓄えられた受信デジタルBB信号(デジタルI信号、デジタルQ信号)をマイクロプロセッサ信号処理部2に

20 出力するタイミングを調整するタイミング調整処理を行う。マイクロ波送受信部インターフェース28は、マイクロプロセッサ信号処理部2からのバスクロックに同期して、その受信デジタルBB信号(デジタルI信号、デジタルQ信号)をマイクロプロセッサ信号処理部2に出力する。

25 受信デジタルBB信号は、定期的に受信シンボルクロックに同期してマイクロ波送受信部インターフェース28に入力され、その受信データバッファ回路に蓄えられる。このデータバッファ回路は、容量が有限で

あるため、オーバーフローが発生するとデータが消失する問題がある。

これを防ぐため、タイミング調整処理として、マイクロプロセッサ信号処理部 2 のマイクロプロセッサ信号処理回路 (CPU) 26 は、所定のタイミングでマイクロ波送受信部インターフェース 28 の受信データバッファ回路に蓄えられたデータ (受信デジタル BB 信号を表すデータ) の量を監視し、オーバーフローが発生する前に、蓄えられたデータ (受信デジタル BB 信号を表すデータ) を、マイクロプロセッサ信号処理部インターフェース 29 を介してマイクロプロセッサ信号処理回路 (CPU) 26 に出力するよう指示する。

10 また、マイクロ波送受信部インターフェース 28 の受信データバッファ回路にオーバーフロー検出回路 (図示しない)、割込回路 (図示しない) を内蔵してもよい。この場合、タイミング調整処理として、オーバーフロー検出回路は、その受信データバッファ回路に蓄えられたデータ (受信デジタル BB 信号) の量を監視し、その量が基準を超えてオーバーフローが発生しそうな場合に、割込回路から割り込み信号を、マイクロプロセッサ信号処理部インターフェース 29 を介してマイクロプロセッサ信号処理回路 (CPU) 26 に出力し、その受信データバッファ回路に蓄えられたデータ (受信デジタル BB 信号を表すデータ) の読み出しを促す。

20 マイクロ波送受信部インターフェース 28 の変換回路は、送信時に、マイクロプロセッサ信号処理部 2 からのバスクロックに同期して、マイクロプロセッサ信号処理部 2 からの送信デジタル BB 信号であるデジタル I 信号、デジタル Q 信号にパラレルビット変換処理を施し、その送信データバッファ回路に蓄える。

25 その変換回路は、その送信データバッファ回路に蓄えられた送信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) に信号レベル変換処理を施す。マイクロ波送受信部インターフェース 28 の入出力は非同期で

ある。このため、そのタイミング調整回路は、その送信データバッファ回路に蓄えられた送信デジタル B B 信号（デジタル I 信号、デジタル Q 信号）を D/A 変換器 25-1、25-2 に出力するタイミングを調整するタイミング調整処理を行う。マイクロ波送受信部インターフェース 28 は、クロック発生器 27 からの送信シンボルクロックに同期して、その送信デジタル B B 信号（デジタル I 信号、デジタル Q 信号）を D/A 変換器 25-1、25-2 に出力する。

送信デジタル B B 信号は、マイクロ波送受信部インターフェース 28 の送信データバッファ回路に蓄えられ、定期的に送信シンボルクロックに同期して出力される。その送信データバッファ回路に蓄えられたデータ（送信デジタル B B 信号を表すデータ）が空になるとデータ出力ができなくなる。これを防ぐため、タイミング調整処理として、マイクロプロセッサ信号処理回路（CPU）26 は、所定のタイミングでマイクロ波送受信部インターフェース 28 の送信データバッファ回路に蓄えられたデータ（送信デジタル B B 信号を表すデータ）の量を監視し、その送信データバッファ回路に蓄えられたデータが空になる前にデータ（送信デジタル B B 信号を表すデータ）を書き込む（その送信データバッファ回路に出力する）。

また、マイクロ波送受信部インターフェース 28 の送信データバッファ回路にデータ無検出回路（図示しない）、割込回路（図示しない）を内蔵してもよい。この場合、タイミング調整処理として、データ無検出回路は、その送信データバッファ回路に蓄えられたデータ（送信デジタル B B 信号）の量を監視し、その量が基準以下であり空になりそうな場合に、割込回路から割り込み信号を、マイクロプロセッサ信号処理部インターフェース 29 を介してマイクロプロセッサ信号処理回路（CPU）26 に出力し、データの書き込みを（その送信データバッファ回路にデータを出力するよう）促す。

D/A変換器25-1、25-2は、クロック発生器27からの送信シンボルクロックに同期して、デジタルI信号、デジタルQ信号を送信アナログベースバンド信号（送信アナログBB信号）として、搬送波の振幅を示すアナログI信号、アナログQ信号に変換して変調器（MOD）
5 23に出力する。

D/A変換器25-1、25-2がフルスケールで8ビットであり、送信シンボルクロックが10MHzである場合、デジタルI信号、デジタルQ信号が20Mバイト/秒の信号帯域でマイクロ波送受信部インターフェース28からD/A変換器25-1、25-2に出力され、送信
10 アナログBB信号に変換される。

変調器（MOD）23は、送信アナログベースバンド信号（送信アナログBB信号）であるアナログI信号、アナログQ信号を同相搬送波と直交搬送波とで直交変調して送信中間周波信号（送信IF信号）を生成し、帯域通過フィルター（BPF）62を介して周波数変換器（CON
15 V）61に出力する。

次に、マイクロプロセッサ信号処理部2について説明する。

マイクロプロセッサ信号処理部インターフェース29の受信データバッファ回路、送信データバッファ回路、変換回路、タイミング調整回路の機能は、マイクロ波送受信部インターフェース28の受信データバ
20 ッファ回路、送信データバッファ回路、変換回路、タイミング調整回路の機能と同じである。

マイクロプロセッサ信号処理部インターフェース29の変換回路は、受信時に、クロック発生器30からの基準クロックに同期して、マイクロ波送受信部1（マイクロ波送受信部インターフェース28）からの受
25 信デジタルBB信号（デジタルI信号、デジタルQ信号）にパラレルビット変換処理を施し、その受信データバッファ回路に蓄える。その変換回路は、その受信データバッファ回路に蓄えられた受信デジタルBB信

号（デジタル I 信号、デジタル Q 信号）に信号レベル変換処理を施す。

そのタイミング調整回路は、その受信データバッファ回路に蓄えられた受信デジタル B B 信号（デジタル I 信号、デジタル Q 信号）をマイクロ

5 プロセッサ信号処理回路（CPU）26 に出力するタイミングを調整するタイミング調整処理を行う。マイクロプロセッサ信号処理部インターフェース 2

9 は、クロック発生器 30 からの基準クロックに同期して、その受信デジタル B B 信号（デジタル I 信号、デジタル Q 信号）をマイクロプロセッサ信号処理回路（CPU）26 に出力する。

10 マイクロプロセッサ信号処理部インターフェース 29 の変換回路は、送信時に、クロック発生器 30 からの基準クロックに同期して、マイクロプロセッサ信号処理回路（CPU）26 からの送信デジタル B B 信号（デジタル I 信号、デジタル Q 信号）にパラレルビット変換処理を施し、その送信データバッファ回路に蓄える。その変換回路は、その送信

15 データバッファ回路に蓄えられた送信デジタル B B 信号（デジタル I 信号、デジタル Q 信号）に信号レベル変換処理を施す。そのタイミング調整回路は、その送信データバッファ回路に蓄えられた送信デジタル B B 信号（デジタル I 信号、デジタル Q 信号）をマイクロ波送受信部 1（マイクロ波送受信部インターフェース 28）に出力するタイミングを調整

20 するタイミング調整処理を行う。マイクロプロセッサ信号処理部インターフェース 29 は、クロック発生器 30 からの基準クロックに同期して、その送信デジタル B B 信号（デジタル I 信号、デジタル Q 信号）をマイクロ波送受信部インターフェース 28 に出力する。

マイクロプロセッサ信号処理回路（CPU）26 は、メモリに記憶

25 された複数のプログラムのうちの通信処理プログラム（図示しない）を実行する。この通信処理プログラムは、誤り訂正の処理、誤り訂正用冗長情報を付加する処理、符号化・復号化の処理、無線区間での信号識別

用情報の付加処理（識別情報付加処理）、無線区間での信号識別用情報の除去処理（識別情報除去処理）、フーリエ変換、逆フーリエ変換、デジタル波形処理を行うためのソフトウェアアルゴリズムを有する。

5 マイクロプロセッサ信号処理回路（CPU）26は、受信時に、その通信処理プログラムにより、クロック発生器30からの基準クロックに同期して、マイクロプロセッサ信号処理部インターフェース29からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）に誤り訂正の処理、復号化の処理、識別情報除去処理、フーリエ変換、デジタル波形処理を施して受信データを生成する。また、マイクロプロセッサ
10 信号処理回路（CPU）26は、応用プログラム（例えば電子メール処理プログラムなど）により、受信データを処理する。

マイクロプロセッサ信号処理回路（CPU）26は、送信時に、応用プログラム（例えば電子メール処理プログラムなど）により、送信データを生成する。マイクロプロセッサ信号処理回路（CPU）26は、
15 通信処理プログラムにより、クロック発生器30からの基準クロックに同期して、その送信データに誤り訂正用冗長情報を付加する処理、符号化の処理、識別情報付加処理、逆フーリエ変換、デジタル波形処理を施して送信デジタルBB信号（デジタルI信号、デジタルQ信号）を生成し、マイクロプロセッサ信号処理部インターフェース29に出力する。

20 最近のマイクロプロセッサは、デジタルシグナルプロセッサを内蔵している。このデジタルシグナルプロセッサにより、第2従来例のマイクロプロセッサよりも演算を高速に行うことができる。マイクロプロセッサ信号処理回路（CPU）26中に上述の機能を有するマイクロプロセッサとは別に、デジタルシグナルプロセッサを搭載する
25 こともできる。

マイクロプロセッサ信号処理回路（CPU）26が受信デジタルBB信号に誤り訂正の処理、復号化の処理を施す機能は、従来の情報処理

端末システムの復号器（D E C） 7 1 の機能に対応する。これをD E C機能と称する。このD E C機能により、誤り訂正量をモニターすることにより（モニター情報により）無線区間のコンディション情報を把握することができる。また、この情報を用いると、相手側の送信電力を最適値に制御したり、複数の誤り訂正方式、複数の符号化方式の中から、最適な誤り訂正方式、最適な符号化方式を動的に選択することができる。

従来の情報処理端末システムでは、このD E C機能{復号器（D E C） 7 1}がマイクロ波送受信部 1 7 に備えられていたため、上記のモニター情報をマイクロ波送受信部 1 7 からマイクロプロセッサ信号処理部 1 8 内のマイクロプロセッサ信号処理回路（C P U） 7 5 に伝達する仕組み（伝達機構）が必要であった。

第 1 実施形態の情報処理端末システムでは、マイクロプロセッサ信号処理部 2 内のマイクロプロセッサ信号処理回路（C P U） 2 6 がD E C機能を有することにより、上記の伝達機構は不要となり、マイクロプロセッサ信号処理回路（C P U） 2 6 は、通信処理プログラム（ソフトウェアアルゴリズム）のみの実行で、モニター情報により無線区間のコンディション情報を把握し、最適な通信方式へ移行する指示を出すことができる。このため、第 1 実施形態の情報処理端末システムでは、D E C機能からのフィードバックを従来の情報処理端末システムよりも高速に実行することができる。

マイクロプロセッサ信号処理回路（C P U） 2 6 が送信データに誤り訂正用冗長情報を付加する処理、符号化の処理を施す機能は、従来の情報処理端末システムの符号器（E N C） 7 2 の機能に対応する。これをE N C機能と称する。C P Uは、無線区間のコンディションを基に選択された最適な誤り訂正方式、最適な符号化方式を実行するようにE N C機能を制御する必要がある。

従来の情報処理端末システムでは、このE N C機能{符号器（E N C）

7 2} がマイクロ波送受信部 1 7 に備えられていたため、最適な誤り訂正方式、最適な符号化方式を実行するように E N C 機能を制御するための制御情報を、マイクロプロセッサ信号処理部 1 8 内のマイクロプロセッサ信号処理回路 (C P U) 7 5 から符号器 (E N C) 7 2 に伝達する仕組み (伝達機構) が必要であった。

第 1 実施形態の情報処理端末システムでは、マイクロプロセッサ信号処理部 2 内のマイクロプロセッサ信号処理回路 (C P U) 2 6 が E N C 機能を有することにより、上記の伝達機構は不要となり、マイクロプロセッサ信号処理回路 (C P U) 2 6 は、通信処理プログラム (ソフトウェアアルゴリズム) のみを実行することで、最適な誤り訂正方式、最適な符号化方式によって送信データに誤り訂正用冗長情報を付加する処理、符号化の処理を施すことができる。これにより、第 1 実施形態の情報処理端末システムでは、従来の情報処理端末システムよりも高速に E N C 機能の制御を実行することができる。

次に、第 1 実施形態の情報処理端末システムが信号を受信したときの動作を説明する。

アンテナ 5 1 により受信された受信 R F 信号は、デュープレクサ (D U P) 5 2 によって低雑音増幅器 (L N A) 5 3 に出力される。受信 R F 信号は、低雑音増幅器 (L N A) 5 3 によって増幅され、帯域通過フィルター (B P F) 5 4 によって搬送波周波数帯域以外の不要の周波数成分が除去される。

不要の周波数成分が除去された受信 R F 信号は、周波数変換器 (C O N V) 5 5 によって、局部発振器 (O S C) 5 7 により生成された局部発振信号と混合され受信 I F 信号に変換される。受信 I F 信号は、帯域通過フィルター (B P F) 5 6 によって搬送波周波数帯域が選択され、復調器 (D E M) 2 2 に出力される。

帯域通過フィルター (B P F) 5 6 からの受信 I F 信号は、復調器 (D

EM) 22によって、受信アナログBB信号としてアナログI信号、アナログQ信号に変換され、A/D変換器24-1、24-2に出力される。この受信アナログBB信号に含まれる受信シンボル周波数に同期した受信シンボルクロックが、復調器(DEM)22の受信シンボルク
5 ック再生回路によって再生され、A/D変換器24-1、24-2、マイクロ波送受信部インターフェース28に出力される。

復調器(DEM)22からのアナログI信号、アナログQ信号は、A/D変換器24-1、24-2によって、受信シンボルクロックに同期したサンプリング周波数でサンプリングされ、受信デジタルBB信号と
10 してデジタルI信号、デジタルQ信号に変換され、マイクロ波送受信部インターフェース28に出力される。

A/D変換器24-1、24-2からの受信デジタルBB信号(デジタルI信号、デジタルQ信号)は、マイクロ波送受信部インターフェース28の変換回路によって、復調器(DEM)22からの受信シンボルク
15 クロックに同期して、パラレルビット変換処理が施され、マイクロ波送受信部インターフェース28の受信データバッファ回路に蓄えられる。その受信データバッファ回路に蓄えられた受信デジタルBB信号(デジタルI信号、デジタルQ信号)は、マイクロ波送受信部インターフェース28の変換回路によって信号レベル変換処理が施され、マイクロ波送
20 受信部インターフェース28のタイミング調整回路によってタイミング調整処理が施され、マイクロプロセッサ信号処理部2からのバスクロックに同期して、マイクロプロセッサ信号処理部インターフェース29に出力される。

マイクロ波送受信部インターフェース28からの受信デジタルBB信
25 号(デジタルI信号、デジタルQ信号)は、マイクロプロセッサ信号処理部インターフェース29の変換回路によって、クロック発生器30からの基準クロックに同期して、パラレルビット変換処理が施され、マ

マイクロプロセッサ信号処理部インターフェース 29 の受信データバッファ回路に蓄えられる。その受信データバッファ回路に蓄えられた受信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）は、マイクロプロセッサ信号処理部インターフェース 29 の変換回路によって信号レベル変換処理が施され、マイクロプロセッサ信号処理部インターフェース 29 のタイミング調整回路によってタイミング調整処理が施され、クロック発生器 30 からの基準クロックに同期して、マイクロプロセッサ信号処理回路

（CPU）26 に出力される。

- 10 マイクロプロセッサ信号処理部インターフェース 29 からの受信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）は、マイクロプロセッサ信号処理回路（CPU）26 が実行する通信処理プログラムによって、クロック発生器 30 からの基準クロックに同期して、誤り訂正の処理、復号化の処理、識別情報除去処理、フーリエ変換、デジタル波形処理が施され、受信データに変換される。マイクロプロセッサ信号処理回路（CPU）26 は、応用プログラム（例えば電子メール処理プログラム）により、生成された受信データを処理する。

次に、第 1 実施形態の情報処理端末システムが信号を送信するときの動作を説明する。

- 20 マイクロプロセッサ信号処理回路（CPU）26 は、応用プログラム（例えば電子メール処理プログラム）によって送信データを生成した後、通信処理プログラムによって、クロック発生器 30 からの基準クロックに同期して、送信データに誤り訂正用冗長情報を付加する処理、符号化の処理、識別情報付加処理、逆フーリエ変換、デジタル波形処理を施して送信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）に変換し、マイクロプロセッサ信号処理部インターフェース 29 に出力する。

マイクロプロセッサ信号処理回路（CPU）26からの送信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロプロセッサ信号処理部インターフェース29の変換回路によって、クロック発生器30からの基準クロックに同期して、パラレルビット変換処理が施され、マイクロプロセッサ信号処理部インターフェース29の送信データバッファ回路に蓄えられる。その送信データバッファ回路に蓄えられた送信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロプロセッサ信号処理部インターフェース29の変換回路によって信号レベル変換処理が施され、マイクロプロセッサ信号処理部インターフェース29のタイミング調整回路によってタイミング調整処理が施され、クロック発生器30からの基準クロックに同期して、マイクロ波送受信部インターフェース28に出力される。

マイクロプロセッサ信号処理部インターフェース29からの送信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロ波送受信部インターフェース28の変換回路によって、マイクロプロセッサ信号処理部インターフェース29からのバスクロックに同期して、パラレルビット変換処理が施され、マイクロ波送受信部インターフェース28の送信データバッファ回路に蓄えられる。その送信データバッファ回路に蓄えられた送信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロ波送受信部インターフェース28の変換回路によって信号レベル変換処理が施され、マイクロ波送受信部インターフェース28のタイミング調整回路によってタイミング調整処理が施され、クロック発生器27からの送信シンボルクロックに同期して、D/A変換器25-1、25-2に出力される。

マイクロ波送受信部インターフェース28からの送信デジタルBB信号（デジタルI信号、デジタルQ信号）は、D/A変換器25-1、25-2によって、クロック発生器27からの送信シンボルクロックに同

期して、送信アナログBB信号（アナログI信号、アナログQ信号）に変換され、変調器（MOD）23に出力される。

D/A変換器25-1、25-2からの送信アナログBB信号（アナログI信号、アナログQ信号）は、変調器（MOD）23によって、送信IF信号に変換され、帯域通過フィルター（BPF）62に出力される。この送信IF信号は、帯域通過フィルター（BPF）62によって、搬送波周波数帯域に制限され、周波数変換器（CONV）61に出力される。

帯域通過フィルター（BPF）62からの送信IF信号は、周波数変換器（CONV）61によって、局部発振器（OSC）58により生成された局部発振信号と混合され送信RF信号に変換される。この送信RF信号は、帯域通過フィルター（BPF）60によって、搬送波周波数帯域以外の不要の周波数成分が除去される。

不要の周波数成分が除去された送信RF信号は、電力増幅器（PA）59によって、増幅され、デュープレクサー（DUP）52からアンテナ51を介してネットワークに放射される。

第1実施形態の情報処理端末システムでは、マイクロプロセッサ信号処理部2のマイクロプロセッサ信号処理回路（CPU）26が、誤り訂正の処理、誤り訂正用冗長情報を付加する処理、符号・複合化の処理、識別情報付加・除去処理等を行っている。これらの処理は全てデジタル信号処理である。マイクロプロセッサ信号処理回路（CPU）26には、これらの処理を行う回路として、第2従来例の情報処理端末システムのマイクロ波送受信部17における復号器（DEC）71、符号器（ENC）72、マイクロ波送受信部インターフェース73の識別情報処理回路の機能が集積される。これにより、第1実施形態の情報処理端末システムでは、第2従来例の情報処理端末システムよりも小型にすることができる。このように、第1実施形態の情報処理端末システムで

は、小型化を実現できる。

第 1 実施形態の情報処理端末システムでは、上述のように、マイクロ
プロセッサ信号処理回路（CPU）26 に復号器（DEC）71、符
号器（ENC）72、マイクロ波送受信部インターフェース73 の識別
5 情報処理回路の機能を集積している。このため、第 1 実施形態の情報処
理端末システムは、第 2 従来例の情報処理端末システムよりも消費電力
を小さくすることができる。このように、第 1 実施形態の情報処理端末
システムでは、低消費電力を実現できる。

第 1 実施形態の情報処理端末システムでは、第 2 従来例の情報処理端
10 末システムのマイクロ波送受信部 17 における復号器（DEC）71、
符号器（ENC）72、マイクロ波送受信部インターフェース73 の識
別情報処理回路を、マイクロ波送受信部 1 に内蔵する必要がない。この
ため、信号の送受信（入出力）に伴ってマイクロ波送受信部 1 が発熱す
る発熱量は、第 2 従来例の情報処理端末システムにおけるマイクロ波送
15 受信部 17 が発熱する発熱量よりも小さい。

第 1 実施形態の情報処理端末システムでは、上述のように、マイクロ
プロセッサ信号処理回路（CPU）26 に復号器（DEC）71、符
号器（ENC）72、マイクロ波送受信部インターフェース73 の識別
情報処理回路の機能を集積している。このため、第 1 実施形態の情報処
20 理端末システムでは、マイクロプロセッサ信号処理部 2 が発熱するが、
マイクロプロセッサ信号処理部 2 の放熱構造を流用することで、マイ
クロプロセッサ信号処理部 2 の発熱を処理することが容易である。

このように、第 1 実施形態の情報処理端末システムでは、放熱処理が
容易となる。

25 マイクロ波送受信部 1 がカード状のような形状の場合、マイクロ波送
受信部 1 の発熱を放熱するための条件が通常より厳しく設定される。通
常、マイクロ波送受信部 1 の発熱を放熱する場合、その放熱に必要な構

造に製造する製造コストが発生する。第 1 実施形態の情報処理端末システムでは、マイクロ波送受信部 1 の低発熱化を実現できるため、上記の製造コストが発生しない。このように、第 1 実施形態の情報処理端末システムでは、低コスト化を実現できる。

- 5 第 1 実施形態の情報処理端末システムでは、マイクロ波送受信部 1 を着脱できる構造である。一般的な情報処理を行うために第 1 実施形態の情報処理端末システムを情報処理端末として使用する場合、送受信装置装置（マイクロ波送受信部 1）の機能が使用されない。このため、ユーザは、マイクロ波送受信部 1 とマイクロプロセッサ信号処理部 2 とを
10 分離して、マイクロプロセッサ信号処理部 2 の機能のみで第 1 実施形態の情報処理端末システムを情報処理端末として使用できる。したがって、第 1 実施形態の情報処理端末システムでは、情報処理端末として利用するときの携帯性が向上する。

- 第 1 実施形態の情報処理端末システムでは、ハードウェア（マイクロ
15 波送受信部 1）とソフトウェア（マイクロプロセッサ信号処理部 2）とに分離できるため、ハードウェア、ソフトウェアを個別に交換できる。第 1 実施形態の情報処理端末システムでは、ハードウェアに依存した仕様（例示：無線周波数）を変更する場合、ハードウェア（マイクロ波送受信部 1）のみを交換すればよい。したがって、第 1 実施形態の情報処
20 理端末システムでは、仕様が変更された際に装置一式を別に用意する必要がないため、経済性に優れている。

このように、第 1 実施形態の情報処理端末システムでは、利用性（携帯性、経済性）が向上する。

- なお、第 1 実施形態の情報処理端末システムでは、変復調処理部 8 1
25 が、受信時に、高周波処理部 2 1 からの受信変調波信号であるところの受信中間周波信号（受信 I F 信号）を受信デジタル B B 信号に変換してマイクロプロセッサ信号処理部 2 に出力し、送信時に、マイクロプロ

セッサー信号処理部 2 からの送信デジタル B B 信号を送信変調波信号であるところの送信中間周波信号（送信 I F 信号）に変換して高周波処理部 2 1 に出力しているが、これに限定されない。変復調処理部 8 1 が、受信時に、高周波処理部 2 1 からの受信変調波信号として受信 R F 信号を受信デジタル B B 信号に変換してマイクロプロセッサー信号処理部 2 に出力し、送信時に、マイクロプロセッサー信号処理部 2 からの送信デジタル B B 信号を送信変調波信号として送信 R F 信号に変換して高周波処理部 2 1 に出力

5 することもできる。

- 10 この場合、本発明の第 1 実施形態の情報処理端末システムの変形例として、図 1 0 に示されるように、高周波処理部 2 1 は、デュープレクサー（D U P） 5 2、低雑音増幅器（L N A） 5 3、帯域通過フィルター（B P F） 5 4、6 0、電力増幅器（P A） 5 9 を備えている。

- 15 復調器（D E M） 2 2 は、帯域通過フィルター（B P F） 5 4 からの受信 R F 信号を受信アナログ B B 信号（アナログ I 信号、アナログ Q 信号）に変換して A / D 変換器 2 4 - 1、2 4 - 2 に出力する。

- 復調器（D E M） 2 2 の受信シンボルクロック再生回路は、この受信アナログ B B 信号に重畳されている受信シンボル周波数の n 倍（ n は整数）の周波数を有する受信シンボルクロックを生成（再生）して、A / D 変換器 2 4 - 1、2 4 - 2、マイクロ波送受信部インターフェース 2
- 20 8 に出力する。

変調器（M O D） 2 3 は、送信アナログ B B 信号（アナログ I 信号、アナログ Q 信号）を変調して送信 R F 信号に変換し、帯域通過フィルター（B P F） 6 0 を介して電力増幅器（P A） 5 9 に出力する。

- 25 （第 2 実施形態）

図 3 は、本発明の第 2 実施形態の情報処理端末システムとして、マイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。

この第 2 実施形態の情報処理端末システムでは、小型化、低発熱化、低コスト化を実現し、スループットの低下を防止し、利用性（携帯性、経済性）が向上する。第 2 実施形態では、前述と重複する説明を省略する。

第 2 実施形態の情報処理端末システムは、ネットワークに接続された
5 アンテナ 5 1 と、マイクロ波送受信部 3 と、マイクロプロセッサ信号
処理部 4 とを具備する。アンテナ 5 1 とマイクロ波送受信部 3 とは、送
受信装置（通信装置）である。マイクロプロセッサ信号処理部 4 は、
情報処理端末である。すなわち、第 2 実施形態の情報処理端末システム
は、第 1 実施形態の情報処理端末システムのマイクロ波送受信部 1、マ
10 イクロプロセッサ信号処理部 2 に代えて、マイクロ波送受信部 3、マ
イクロプロセッサ信号処理部 4 を具備する。

マイクロ波送受信部 3 は、受信時に、アンテナ 5 1 を介して受信した、
変調波である受信高周波信号（受信 R F 信号）を復調し受信データに変
換してマイクロプロセッサ信号処理部 4 に出力する。マイクロ波送受
15 信部 3 は、送信時に、マイクロプロセッサ信号処理部 4 からの送信デ
ータを、変調波である送信高周波信号（送信 R F 信号）に変換してアン
テナ 5 1 を介して送信する。

このマイクロ波送受信部 3 は、高周波処理部 2 1、変復調処理部 8 2
を備えている。この高周波処理部 2 1 は、第 1 実施形態と同じである（図
20 2 参照）。

高周波処理部 2 1 は、受信時に、アンテナ 5 1 を介して受信した受信
R F 信号を復調し受信中間周波信号（受信 I F 信号）に変換して変復調
処理部 8 2 に出力する。高周波処理部 2 1 は、送信時に、変復調処理部
8 2 からの送信 I F 信号を送信 R F 信号に変換してアンテナ 5 1 を介し
25 て送信する。

変復調処理部 8 2 は、受信時に、高周波処理部 2 1 からの受信変調波
信号である受信 I F 信号を受信データに変換してマイクロプロセッサ

信号処理部 4 に出力する。変復調処理部 8 2 は、送信時に、マイクロプロセッサ信号処理部 4 からの送信データを送信変調波信号である送信 I F 信号に変換して高周波処理部 2 1 に出力する。

変復調処理部 8 2 は、復調器 (DEM) 2 2、変調器 (MOD) 2 3、
5 ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ／デジタル (A／D) 変換器 2 4－1、2 4－2、デジタル／アナログ (D／A) 変換器 2 5－1、2 5－2、復号器 (DEC) 7 1、符号器 (ENC) 7 2、マイクロ波送受信部インターフェース (I／F) 4 6 を備えている。復調器 (DEM) 2 2、変調器 (MOD) 2 3、A／
10 D 変換器 2 4－1、2 4－2、D／A 変換器 2 5－1、2 5－2 は、第 1 実施形態と同じである (図 2 参照)。すなわち、変復調処理部 8 2 は、第 1 実施形態における変復調処理部 8 1 のクロック発生器 2 7、マイクロ波送受信部インターフェース 2 8 に代えて、復号器 (DEC) 7 1、符号器 (ENC) 7 2、マイクロ波送受信部インターフェース 4 6 を備
15 えている。

マイクロプロセッサ信号処理部 4 は、マイクロプロセッサ信号処理部インターフェース (I／F) 4 7、マイクロプロセッサ信号処理回路 (CPU) 4 8 を備えている。

マイクロプロセッサ信号処理回路 (CPU) 4 8 は、マイクロプロセッサ (図示しない)、メモリ (図示しない)、入出力装置 (図示しない) 等を含み、そのメモリには、複数のプログラム (図示しない) が記憶されている。

マイクロプロセッサ信号処理部 4 は、更に、クロック発生器 (図示しない) を備えている。

25 第 2 実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部 4 からマイクロ波送受信部 3 を着脱できる構造である。マイクロ波送受信部 3 とマイクロプロセッサ信号処理部 4 とが分離されている

ときでも、マイクロプロセッサ信号処理回路（CPU）48は、マイクロプロセッサ信号処理部4のクロック発生器からのクロックに同期して、メモリに記憶された複数のプログラムのうち、マイクロ波送受信機能を利用しない表計算や文書作成など一般のプログラム（図示しない）

- 5 を実行することができ、前記の一般的な情報処理（情報処理端末の機能のみが使用される処理）を行うことが可能である。つまり、ユーザは、マイクロプロセッサ信号処理部4の機能のみでも第2実施形態の情報処理端末システムを情報処理端末として使用できる。

まず、変復調処理部82について説明する。

- 10 復調器（DEM）22は、搬送波再生回路（図示しない）、受信シンボルクロック再生回路（図示しない）を備えている。復調器（DEM）22の搬送波再生回路は、第1実施形態における変復調処理部81の復調器（DEM）22の搬送波再生回路と同じである。

- この復調器（DEM）22の受信シンボルクロック再生回路は、第1
15 実施形態における変復調処理部81の復調器（DEM）22の受信シンボルクロック再生回路に対して、受信シンボルクロックの出力先が異なる。その受信シンボルクロック再生回路は、受信アナログBB信号に重畳されている受信シンボル周波数の n 倍（ n は整数）の周波数を有する受信シンボルクロックを生成（再生）して、A/D変換器24-1、2
20 4-2、復号器（DEC）71、D/A変換器25-1、25-2、符号器（ENC）72、マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47、マイクロプロセッサ信号処理回路（CPU）48に出力する。

- A/D変換器24-1、24-2は、受信シンボルクロックに同期し
25 たサンプリング周波数で復調器（DEM）22からのアナログI信号、アナログQ信号をサンプリングし、サンプリング時のアナログI信号、アナログQ信号が示す搬送波の振幅に対応したデジタル同相成分信号

(デジタル I 信号)、デジタル直交成分信号(デジタル Q 信号)を受信デジタルベースバンド信号(受信デジタル BB 信号)として生成(変換)して復号器(DEC) 71 に出力する。

5 復号器(DEC) 71 は、復調器(DEM) 22 からの受信シンボルクロックに同期して、受信デジタル BB 信号であるデジタル I 信号、デジタル Q 信号に誤り訂正、復号化の処理を施し、マイクロ波送受信部インターフェース 46 に出力する。

10 マイクロ波送受信部インターフェース 46 は、変換・識別情報処理回路(図示しない)を備えている。この変換・識別情報処理回路は、第 1 実施形態における変復調処理部 81 のマイクロ波送受信部インターフェース 28 の変換回路の機能と同じ変換回路が内蔵されている。この変換回路は、受信データ、送信データに信号レベル変換処理、パラレルビット変換処理を施す。

15 マイクロ波送受信部インターフェース 46 の変換・識別情報処理回路は、受信時に、復調器(DEM) 22 からの受信シンボルクロックに同期して、復号器(DEC) 71 からの受信デジタル BB 信号に、信号レベル変換処理、パラレルビット変換処理、無線区間での信号識別用情報の除去処理(識別情報除去処理)を施した受信データを生成し、マイクロプロセッサ信号処理部 4 (マイクロプロセッサ信号処理部インターフェース 47) に出力する。

20 マイクロ波送受信部インターフェース 46 の変換・識別情報処理回路は、送信時に、復調器(DEM) 22 からの受信シンボルクロックに同期して、マイクロプロセッサ信号処理部 4 (マイクロプロセッサ信号処理部インターフェース 47) からの送信データに、信号レベル変換処理、パラレルビット変換処理、無線区間での信号識別用情報の付加処理(識別情報付加処理)を施して符号器(ENC) 72 に出力する。

符号器(ENC) 72 は、復調器(DEM) 22 からの受信シンボル

クロックに同期して、マイクロ波送受信部インターフェース 46 からの送信データに誤り訂正冗長情報を付加する処理、符号化の処理を施し、送信デジタルベースバンド信号（送信デジタル BB 信号）としてデジタル I 信号、デジタル Q 信号を生成して D/A 変換器 25-1、25-2 5 に出力する。

D/A 変換器 25-1、25-2 は、復調器（DEM）22 からの受信シンボルクロックに同期して、デジタル I 信号、デジタル Q 信号を送信アナログベースバンド信号（送信アナログ BB 信号）として、搬送波の振幅を示すアナログ I 信号、アナログ Q 信号に変換して変調器（MOD）23 に出力する。 10

変調器（MOD）23 は、送信アナログベースバンド信号（送信アナログ BB 信号）であるアナログ I 信号、アナログ Q 信号を同相搬送波と直交搬送波とで直交変調して送信中間周波信号（送信 IF 信号）を生成し、帯域通過フィルター（BPF）62 を介して周波数変換器（CON 15 V）61 に出力する。

次に、マイクロプロセッサ信号処理部 4 について説明する。

マイクロプロセッサ信号処理部インターフェース 47 は、マイクロ波送受信部 3 がマイクロプロセッサ信号処理部 4 に装着されているか否かにより、マイクロプロセッサ信号処理回路（CPU）48 に出力 20 されるクロックの発生源を切り替える。

マイクロプロセッサ信号処理部インターフェース 47 は、マイクロ波送受信部 3 がマイクロプロセッサ信号処理部 4 に装着されたとき、復調器（DEM）22 からの受信シンボルクロックをマイクロプロセッサ信号処理回路（CPU）48 に出力する。このとき、マイクロプロセッサ信号処理部インターフェース 47 は、マイクロプロセッサ信号処理部 4 のクロック発生器からのクロックがマイクロプロセッサ信号処理回路（CPU）48 に出力されないように、そのクロック発生器 25

を制御する。

マイクロプロセッサ信号処理部インターフェース 47 は、変換回路（図示しない）を備えている。この変換回路は、第 1 実施形態におけるマイクロプロセッサ信号処理部 2 のマイクロ波送受信部インターフェース 29 の変換回路の機能と同じ変換回路が内蔵されている。この変換回路は、受信データ、送信データに信号レベル変換処理、パラレルビット変換処理を施す。

マイクロプロセッサ信号処理部インターフェース 47 の変換回路は、受信時に、復調器（DEM）22 からの受信シンボルクロックに同期して、マイクロ波送受信部 3（マイクロ波送受信部インターフェース 46）からの受信データに信号レベル変換処理、パラレルビット変換処理を施し、その受信データをマイクロプロセッサ信号処理回路（CPU）48 に出力する。

マイクロプロセッサ信号処理部インターフェース 47 の変換回路は、送信時に、復調器（DEM）22 からの受信シンボルクロックに同期して、マイクロプロセッサ信号処理回路（CPU）48 からの送信データに信号レベル変換処理、パラレルビット変換処理を施し、その送信データをマイクロ波送受信部インターフェース 46 に出力する。

マイクロプロセッサ信号処理回路（CPU）48 は、メモリに記憶された複数のプログラムのうちの応用プログラム（例えば電子メール処理プログラムなど）（図示しない）を実行する。

マイクロプロセッサ信号処理回路（CPU）48 は、受信時に、その応用プログラム（例えば電子メール処理プログラムなど）により、マイクロプロセッサ信号処理部インターフェース 47 からの受信データを処理する。

マイクロプロセッサ信号処理回路（CPU）48 は、送信時に、応用プログラム（例えば電子メール処理プログラムなど）によって生成さ

れた送信データを、復調器（D E M） 2 2 からの受信シンボルクロックに同期して、マイクロプロセッサ信号処理部インターフェース 4 7 に出力する。

次に、第 2 実施形態の情報処理端末システムが信号を受信したときの動作を説明する。この動作については第 1 実施形態と重複する説明を省略する。

帯域通過フィルター（B P F） 5 6 からの受信 I F 信号は、復調器（D E M） 2 2 によって、受信アナログ B B 信号としてアナログ I 信号、アナログ Q 信号に変換され、A / D 変換器 2 4 - 1、2 4 - 2 に出力される。この受信アナログ B B 信号に含まれる受信シンボル周波数に同期した受信シンボルクロックが、復調器（D E M） 2 2 の受信シンボルクロック再生回路によって再生され、A / D 変換器 2 4 - 1、2 4 - 2、復号器（D E C） 7 1、D / A 変換器 2 5 - 1、2 5 - 2、符号器（E N C） 7 2、マイクロ波送受信部インターフェース 4 6、マイクロプロセッサ信号処理部インターフェース 4 7、マイクロプロセッサ信号処理回路（C P U） 4 8 に出力される。

復調器（D E M） 2 2 からのアナログ I 信号、アナログ Q 信号は、A / D 変換器 2 4 - 1、2 4 - 2 によって、受信シンボルクロックに同期したサンプリング周波数でサンプリングされ、受信デジタル B B 信号としてデジタル I 信号、デジタル Q 信号に変換され、復号器（D E C） 7 1 に出力される。

A / D 変換器 2 4 - 1、2 4 - 2 からのデジタル I 信号、デジタル Q 信号は、復号器（D E C） 7 1 によって、誤り訂正、復号化の処理が施され、復調器（D E M） 2 2 からの受信シンボルクロックに同期してマイクロ波送受信部インターフェース 4 6 に出力される。

復号器（D E C） 7 1 からの受信データは、マイクロ波送受信部インターフェース 4 6 によって、復調器（D E M） 2 2 からの受信シンボル

クロックに同期して、信号レベル変換処理、パラレルビット変換処理、識別情報除去処理が施された受信データに変換され、マイクロプロセッサ信号処理部インターフェース 47 に出力される。

5 マイクロ波送受信部インターフェース 46 からの受信データは、マイクロプロセッサ信号処理部インターフェース 47 によって、復調器 (DEM) 22 からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理回路 (CPU) 48 に出力される。

10 マイクロプロセッサ信号処理回路 (CPU) 48 は、メモリに記憶された応用プログラム (例えば電子メール処理プログラム) により、マイクロプロセッサ信号処理部インターフェース 47 からの受信データを処理する。

15 次に、第 2 実施形態の情報処理端末システムが信号を送信するときの動作を説明する。この動作については第 1 実施形態と重複する説明を省略する。

20 マイクロプロセッサ信号処理回路 (CPU) 48 は、応用プログラム (例えば電子メール処理プログラム) によって送信データを生成した後、その応用プログラムによって、復調器 (DEM) 22 からの受信シンボルクロックに同期して、その送信データをマイクロプロセッサ信号処理部インターフェース 47 に出力する。

25 マイクロプロセッサ信号処理回路 (CPU) 48 からの送信データは、マイクロプロセッサ信号処理部インターフェース 47 によって、復調器 (DEM) 22 からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロ波送受信部インターフェース 46 に出力される。

30 マイクロプロセッサ信号処理部インターフェース 47 からの送信データは、マイクロ波送受信部インターフェース 46 によって、復調器 (DEM)

EM) 22からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理、識別情報付加処理が施され、符号器(ENC) 72に出力される。

マイクロ波送受信部インターフェース46からの送信データは、符号器(ENC) 72によって、復調器(DEM) 22からの受信シンボルクロックに同期して、送信デジタルベースバンド信号(送信デジタルBB信号)として、誤り訂正用冗長情報を付加する処理、符号化の処理が施されたデジタルI信号、デジタルQ信号に変換され、D/A変換器25-1、25-2に出力される。

10 符号器(ENC) 72からのデジタルI信号、デジタルQ信号は、D/A変換器25-1、25-2によって、復調器(DEM) 22からの受信シンボルクロックに同期して、送信アナログBB信号としてアナログI信号、アナログQ信号に変換され、変調器(MOD) 23に出力される。

15 D/A変換器25-1、25-2からの送信アナログBB信号(アナログI信号、アナログQ信号)は、変調器(MOD) 23によって、送信IF信号に変換され、帯域通過フィルター(BPF) 62に出力される。

第2実施形態の情報処理端末システムでは、A/D変換器24-1、24-2、復号器(DEC) 71、D/A変換器25-1、25-2、符号器(ENC) 72、マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47、マイクロプロセッサ信号処理回路(CPU) 48は、復調器(DEM) 22からの受信シンボルクロックに同期したタイミングで動作する。このため、第2
25 実施形態の情報処理端末システムでは、第2従来例の情報処理端末システムで行われるタイミング調整処理が不要である。したがって、第2実施形態の情報処理端末システムでは、タイミング調整処理に伴う受信デ

ータバッファ回路、送信データバッファ回路、タイミング調整回路が必要ない。これにより、第2実施形態の情報処理端末システムのマイクロ波送受信部3、マ

5 マイクロプロセッサ信号処理部4（マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47）では、
第2従来例の情報処理端末システムのマイクロ波送受信部17、マイクロプロセッサ信号処理部18（マイクロ波送受信部インターフェース73、マイクロプロセッサ信号処理部インターフェース74）よりも小型にすることができる。このように、第2実施形態の情報処理端末シ
10 システムでは、小型化を実現できる。

第2実施形態の情報処理端末システムでは、マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47に受信データバッファ回路、送信データバッファ回路、タイミング調整回路を内蔵する必要がない。このため、第2実施形態の情報処理端
15 末システムは、第2従来例の情報処理端末システムよりも消費電力を小さくすることができる。このように、第2実施形態の情報処理端末システムでは、低消費電力を実現できる。

第2実施形態の情報処理端末システムでは、マイクロ波送受信部3、マイクロプロセッサ信号処理部4（マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47）に
20 受信データバッファ回路、送信データバッファ回路、タイミング調整回路を内蔵する必要がない。このため、信号の送受信（入出力）に伴ってマイクロ波送受信部3、マイクロプロセッサ信号処理部4（マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部イ
25 ンターフェース47）が発熱する発熱量は、第2従来例の情報処理端末システムにおけるマイクロ波送受信部17、マイクロプロセッサ信号処理部18（マイクロ波送受信部インターフェース73、マイクロプロ

セッサ信号処理部インターフェース 7 4) が発熱する発熱量よりも小さい。このように

、第 2 実施形態の情報処理端末システムでは、低発熱化を実現できる。

第 2 実施形態の情報処理端末システムでは、マイクロ波送受信部 3、
5 マイクロプロセッサ信号処理部 4 (マイクロ波送受信部インターフェース 4 6、マイクロプロセッサ信号処理部インターフェース 4 7) に受信データバッファ回路、送信データバッファ回路、タイミング調整回路を内蔵する必要がない。このため、第 2 実施形態の情報処理端末システムでは、マイクロ波送受信部 3、マイクロプロセッサ信号処理部 4
10 (マイクロ波送受信部インターフェース 4 6、マイクロプロセッサ信号処理部インターフェース 4 7) を製造する製造コストは、第 2 従来例の情報処理端末システムにおけるマイクロ波送受信部 1 7、マイクロプロセッサ信号処理部 1 8 (マイクロ波送受信部インターフェース 7 3、マイクロプロセッサ信号処理部インターフェース 7 4) を製造する製造
15 コストよりも安い。このように、第 2 実施形態の情報処理端末システムでは、低コスト化を実現できる。

第 2 従来例の情報処理端末システムでは、タイミング調整処理により、伝達遅延が生じてしまい、スループットの低下を起こしてしまう可能性がある。第 2 実施形態の情報処理端末システムでは、上述のように、第
20 2 従来例の情報処理端末システムで行われるタイミング調整処理が不要であり、A/D変換器 2 4-1、2 4-2、復号器 (DEC) 7 1、D/A変換器 2 5-1、2 5-2、符号器 (ENC) 7 2、マイクロ波送受信部インターフェース 4 6、マイクロプロセッサ信号処理部インターフェース 4 7、マイクロプロセッサ信号処理回路 (CPU) 4 8は、
25 復調器 (DEM) 2 2からの受信シンボルクロックに同期したタイミングで動作する。このため、第 2 実施形態の情報処理端末システムでは、スループットの低下を防止する。

第 2 実施形態の情報処理端末システムでは、マイクロ波送受信部 3 を着脱できる構造である。一般的な情報処理を行うために第 2 実施形態の情報処理端末システムを情報処理端末として使用する場合、送受信装置（マイクロ波送受信部 3）の機能が使用されない。このため、ユーザは、

5 マイクロ波送受信部 3 とマイクロプロセッサ信号処理部 4 とを分離して、マイクロプロセッサ信号処理部 4 の機能のみで第 2 実施形態の情報処理端末システムを情報処理端末として使用できる。したがって、第 2 実施形態の情報処理端末システムでは、情報処理端末として利用するときの携帯性が向上する。

- 10 第 2 実施形態の情報処理端末システムでは、ハードウェア（マイクロ波送受信部 3）とソフトウェア（マイクロプロセッサ信号処理部 4）とに分離できるため、ハードウェア、ソフトウェアを個別に交換できる。第 2 実施形態の情報処理端末システムでは、ハードウェアに依存した仕様（例示：無線周波数）を変更する場合、ハードウェア（マイクロ波送
- 15 受信部 3）のみを交換すればよい。したがって、第 2 実施形態の情報処理端末システムでは、仕様が変更された際に装置一式を別に用意する必要がないため、経済性に優れている。

このように、第 2 実施形態の情報処理端末システムでは、利用性（携帯性、経済性）が向上する。

- 20 なお、第 2 実施形態の情報処理端末システムでは、変復調処理部 8 2 が、受信時に、高周波処理部 2 1 からの受信変調波信号であるところの受信中間周波信号（受信 I F 信号）を受信データに変換してマイクロプロセッサ信号処理部 4 に出力し、送信時に、マイクロプロセッサ信号処理部 4 からの送信データを送信変調波信号であるところの送信中間
- 25 周波信号（送信 I F 信号）に変換して高周波処理部 2 1 に出力しているが、これに限定されない。変復調処理部 8 2 が、受信時に、高周波処理部 2 1 からの受信変調波信号として受信 R F 信号を受信データに変換し

てマイクロプロセッサ信号処理部 4 に出力し、送信時に、マイクロプロセッサ信号処理部 4 からの送信データを送信変調波信号として送信 R F 信号に変換して高周波処理部 2 1 に出力することもできる。

5 この場合、本発明の第 2 実施形態の情報処理端末システムの変形例として、図 1 1 に示されるように、高周波処理部 2 1 は、デュープレクサ一 (D U P) 5 2、低雑音増幅器 (L N A) 5 3、帯域通過フィルター (B P F) 5 4、6 0、電力増幅器 (P A) 5 9 を備えている。

10 復調器 (D E M) 2 2 は、帯域通過フィルター (B P F) 5 4 からの受信 R F 信号を受信アナログ B B 信号 (アナログ I 信号、アナログ Q 信号) に変換して A / D 変換器 2 4 - 1、2 4 - 2 に出力する。

復調器 (D E M) 2 2 の受信シンボルクロック再生回路は、この受信アナログ B B 信号に重畳されている受信シンボル周波数の n 倍 (n は整数) の周波数を有する受信シンボルクロックを生成 (再生) して、A / D 変換器 2 4 - 1、2 4 - 2、復号器 (D E C) 7 1、D / A 変換器 2 5 - 1、2 5 - 2、符号器 (E N C) 7 2、マイクロ波送受信部インターフェース 4 6、マイクロプロセッサ信号処理部インターフェース 4 7、マイクロプロセッサ信号処理回路 (C P U) 4 8 に出力する。

20 変調器 (M O D) 2 3 は、送信アナログ B B 信号 (アナログ I 信号、アナログ Q 信号) を変調して送信 R F 信号に変換し、帯域通過フィルター (B P F) 6 0 を介して電力増幅器 (P A) 5 9 に出力する。

(第 3 実施形態)

図 4 は、本発明の第 3 実施形態の情報処理端末システムとして、マイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。この第 3 実施形態の情報処理端末システムでは、第 1 実施形態の効果に加えて、第 2 実施形態の効果も実現する。第 3 実施形態では、前述と重複する説明を省略する。

第 3 実施形態の情報処理端末システムは、ネットワークに接続された

アンテナ 5 1 と、マイクロ波送受信部 5 と、マイクロプロセッサ信号処理部 6 とを具備する。アンテナ 5 1 とマイクロ波送受信部 5 とは、送受信装置（通信装置）である。マイクロプロセッサ信号処理部 6 は、情報処理端末である。すなわち、第 3 実施形態の情報処理端末システムは、第 1 実施形態の情報処理端末システムのマイクロ波送受信部 1、マイクロプロセッサ信号処理部 2 に代えて、マイクロ波送受信部 5、マイクロプロセッサ信号処理部 6 を具備する。

このマイクロ波送受信部 5 は、高周波処理部 2 1、変復調処理部 8 3 を備えている。この高周波処理部 2 1 は、第 1 実施形態と同じである（図 2 参照）。

変復調処理部 8 3 は、復調器（DEM）2 2、変調器（MOD）2 3、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ／デジタル（A／D）変換器 2 4－1、2 4－2、デジタル／アナログ（D／A）変換器 2 5－1、2 5－2、マイクロ波送受信部インターフェース（I／F）3 1 を備えている。復調器（DEM）2 2、変調器（MOD）2 3、A／D 変換器 2 4－1、2 4－2、D／A 変換器 2 5－1、2 5－2 は、第 1 実施形態と同じである（図 2 参照）。すなわち、変復調処理部 8 3 は、第 1 実施形態における変復調処理部 8 1 のクロック発生器 2 7、マイクロ波送受信部インターフェース 2 8 に代えて、マイクロ波送受信部インターフェース 3 1 を備えている。

マイクロプロセッサ信号処理部 6 は、マイクロプロセッサ信号処理部インターフェース（I／F）3 4、マイクロプロセッサ信号処理回路（CPU）2 6 を備えている。マイクロプロセッサ信号処理回路（CPU）2 6 は、第 1 実施形態と同じである（図 2 参照）。すなわち、マイクロプロセッサ信号処理部 6 は、第 1 実施形態におけるマイクロプロセッサ信号処理部 2 のマイクロプロセッサ信号処理部インターフェース 2 9 に代えて、マイクロプロセッサ信号処理部インターフェ

ース 3 4 を備えている。

マイクロプロセッサ信号処理部 6 は、更に、クロック発生器（図示しない）を備えている。

第 3 実施形態の情報処理端末システムは、マイクロプロセッサ信号
5 処理部 6 からマイクロ波送受信部 5 を着脱できる構造である。マイクロ
波送受信部 5 とマイクロプロセッサ信号処理部 6 とが分離されている
ときでも、マイクロプロセッサ信号処理回路（CPU）2 6 は、マイ
クロプロセッサ信号処理部 6 のクロック発生器からのクロックに同期
して、メモリに記憶された複数のプログラムのうち、マイクロ波送受信
10 機能を利用しない表計算や文書作成など一般のプログラム（図示しない）
を実行することができ、前記の一般的な情報処理（情報処理端末の機能
のみが使用される処理）を行うことが可能である。つまり、ユーザは、
マイクロプロセッサ信号処理部 6 の機能のみでも第 3 実施形態の情報
処理端末システムを情報処理端末として使用できる。

15 変復調処理部 8 3 の復調器（DEM）2 2 は、搬送波再生回路（図示
しない）、受信シンボルクロック再生回路（図示しない）を備えている。
変復調処理部 8 3 の復調器（DEM）2 2 の搬送波再生回路は、第 1 実
施形態における変復調処理部 8 1 の復調器（DEM）2 2 の搬送波再生
回路と同じである。

20 この復調器（DEM）2 2 の受信シンボルクロック再生回路は、第 1
実施形態における変復調処理部 8 1 の復調器（DEM）2 2 の受信シン
ボルクロック再生回路に対して、受信シンボルクロックの出力先が異な
る。その受信シンボルクロック再生回路は、受信アナログ BB 信号に重
畳されている受信シンボル周波数の n 倍（ n は整数）の周波数を有する
25 受信シンボルクロックを生成（再生）して、A/D 変換器 2 4 - 1、2
4 - 2、D/A 変換器 2 5 - 1、2 5 - 2、マイクロ波送受信部インタ
ーフェース 3 1、マイクロプロセッサ信号処理部インターフェース 3

4、マイクロプロセッサ信号処理回路（CPU）26に出力する。

A/D変換器24-1、24-2は、受信シンボルクロックに同期したサンプリング周波数で復調器（DEM）22からのアナログI信号、アナログQ信号をサンプリングし、サンプリング時のアナログI信号、
5 アナログQ信号が示す搬送波の振幅に対応したデジタル同相成分信号（デジタルI信号）、デジタル直交成分信号（デジタルQ信号）を受信デジタルベースバンド信号（受信デジタルBB信号）として生成（変換）してマイクロ波送受信部インターフェース31に出力する。

10 マイクロ波送受信部インターフェース31は、変換回路（図示しない）を備えている。マイクロ波送受信部インターフェース31の変換回路の機能は、第1実施形態における変復調処理部81のマイクロ波送受信部インターフェース28の変換回路の機能と同じである。

マイクロ波送受信部インターフェース31は、受信時に、復調器（DEM）22からの受信シンボルクロックに同期して、A/D変換器24
15 -1、24-2からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）に信号レベル変換処理、パラレルビット変換処理を施し、その受信デジタルBB信号（デジタルI信号、デジタルQ信号）をマイクロプロセッサ信号処理部6に出力する。

マイクロ波送受信部インターフェース31は、送信時に、復調器（DEM）22からの受信シンボルクロックに同期して、マイクロプロセッサ信号処理部6（マイクロプロセッサ信号処理部インターフェース34）からの送信デジタルベースバンド信号（送信デジタルBB信号）であるデジタルI信号、デジタルQ信号に信号レベル変換処理、パラレルビット変換処理を施し、その送信デジタルBB信号（デジタルI信号、
25 デジタルQ信号）をD/A変換器25-1、25-2に出力する。

マイクロプロセッサ信号処理部インターフェース34は、マイクロ波送受信部5がマイクロプロセッサ信号処理部6に装着されているか

否かにより、マイクロプロセッサ信号処理回路（CPU）26に出力されるクロックの発生源を切り替える。

5 マイクロプロセッサ信号処理部インターフェース34は、マイクロ波送受信部5がマイクロプロセッサ信号処理部6に装着されたとき、
復調器（DEM）22からの受信シンボルクロックをマイクロプロセッサ信号処理回路（CPU）26に出力する。このとき、マイクロプロセッサ信号処理部インターフェース34は、マイクロプロセッサ信号処理部6のクロック発生器からのクロックがマイクロプロセッサ信号処理回路（CPU）26に出力されないように、そのクロック発生器
10 を制御する。

マイクロプロセッサ信号処理部インターフェース34は、変換回路（図示しない）を備えている。マイクロプロセッサ信号処理部インターフェース34の変換回路の機能は、第1実施形態におけるマイクロプロセッサ信号処理部2のマイクロプロセッサ信号処理部インターフェース29の変換回路の機能と同じである。
15

マイクロプロセッサ信号処理部インターフェース34の変換回路は、受信時に、復調器（DEM）22からの受信シンボルクロックに同期して、マイクロ波送受信部5（マイクロ波送受信部インターフェース31）からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）に信号レベル変換処理、パラレルビット変換処理を施し、その受信デジタルBB信号（デジタルI信号、デジタルQ信号）をマイクロプロセッサ信号処理回路（CPU）26に出力する。
20

マイクロプロセッサ信号処理部インターフェース34の変換回路は、送信時に、復調器（DEM）22からの受信シンボルクロックに同期して、マイクロプロセッサ信号処理回路（CPU）26からの送信デジタルBB信号（デジタルI信号、デジタルQ信号）に信号レベル変換処理、パラレルビット変換処理を施し、その送信デジタルBB信号（デジ
25

タル I 信号、デジタル Q 信号) をマイクロ波送受信部インターフェース 31 に出力する。

次に、第 3 実施形態の情報処理端末システムが信号を受信したときの動作を説明する。この動作については第 1 実施形態と重複する説明を省略する。

帯域通過フィルター (BPF) 56 からの受信 IF 信号は、復調器 (DEM) 22 によって、受信アナログ BB 信号としてアナログ I 信号、アナログ Q 信号に変換され、A/D 変換器 24-1、24-2 に出力される。この受信アナログ BB 信号に含まれる受信シンボル周波数に同期した受信シンボルクロックが復調器 (DEM) 22 の受信シンボルクロック再生回路によって再生され、A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 31、マイクロプロセッサ信号処理部インターフェース 34、マイクロプロセッサ信号処理回路 (CPU) 26 に出力される。

復調器 (DEM) 22 からのアナログ I 信号、アナログ Q 信号は、A/D 変換器 24-1、24-2 によって、受信シンボルクロックに同期したサンプリング周波数でサンプリングされ、受信デジタル BB 信号としてデジタル I 信号、デジタル Q 信号に変換され、マイクロ波送受信部インターフェース 31 に出力される。

A/D 変換器 24-1、24-2 からの受信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) は、マイクロ波送受信部インターフェース 31 の変換回路によって、復調器 (DEM) 22 からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理部インターフェース 34 に出力される。

マイクロ波送受信部インターフェース 31 からの受信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) は、マイクロプロセッサ信号

処理部インターフェース 3 4 の変換回路によって、復調器 (D E M) 2 2 からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理回路 (C P U) 2 6 に出力される。

- 5 マイクロプロセッサ信号処理部インターフェース 3 4 からの受信デジタル B B 信号 (デジタル I 信号、デジタル Q 信号) は、マイクロプロセッサ信号処理回路 (C P U) 2 6 が実行する通信処理プログラムによって、復調器 (D E M) 2 2 からの受信シンボルクロックに同期して、誤り訂正の処理、復号化の処理、識別情報除去処理、フーリエ変換、デ
10 ジタル波形処理が施され、受信データに変換される。マイクロプロセッサ信号処理回路 (C P U) 2 6 は、応用プログラム (例えば電子メール処理プログラム) により、受信データを処理する。

- 次に、第 3 実施形態の情報処理端末システムが信号を送信するときの動作を説明する。この動作については第 1 実施形態と重複する説明を省
15 略する。

- マイクロプロセッサ信号処理回路 (C P U) 2 6 は、応用プログラム (例えば電子メール処理プログラム) によって送信データを生成した後、通信処理プログラムによって、復調器 (D E M) 2 2 からの受信シンボルクロックに同期して、送信データに誤り訂正用冗長情報を付加す
20 る処理、符号化の処理、識別情報付加処理、逆フーリエ変換、デジタル波形処理を施して送信デジタル B B 信号 (デジタル I 信号、デジタル Q 信号) に変換し、マイクロプロセッサ信号処理部インターフェース 3 4 に出力する。

- マイクロプロセッサ信号処理回路 (C P U) 2 6 からの送信デジタル B B 信号 (デジタル I 信号、デジタル Q 信号) は、マイクロプロセッサ信号処理部インターフェース 3 4 の変換回路によって、復調器 (D E M) 2 2 からの受信シンボルクロックに同期して、信号レベル変換処
25

理、パラレルビット変換処理が施され、マイクロ波送受信部インターフェース 31 に出力される。

マイクロプロセッサ信号処理部インターフェース 34 からの送信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）は、マイクロ波送
5 受信部インターフェース 31 の変換回路によって、復調器（DEM）22 からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、D/A 変換器 25-1、25-2 に出力される。

マイクロ波送受信部インターフェース 31 からの送信デジタル BB 信
10 号（デジタル I 信号、デジタル Q 信号）は、D/A 変換器 25-1、25-2 によって、復調器（DEM）22 からの受信シンボルクロックに同期して、送信アナログ BB 信号（アナログ I 信号、アナログ Q 信号）に変換され、変調器（MOD）23 に出力される。

D/A 変換器 25-1、25-2 からの送信アナログ BB 信号（アナ
15 ログ I 信号、アナログ Q 信号）は、変調器（MOD）23 によって、送信 IF 信号に変換され、帯域通過フィルター（BPF）62 に出力される。

第 3 実施形態の情報処理端末システムでは、A/D 変換器 24-1、24-2、復号器（DEC）71、D/A 変換器 25-1、25-2、
20 マイクロ波送受信部インターフェース 31、マイクロプロセッサ信号処理部インターフェース 34、マイクロプロセッサ信号処理回路（CPU）26 は、復調器（DEM）22 からの受信シンボルクロックに同期したタイミングで動作する。このため、第 3 実施形態の情報処理端末システムでは、第 2 従来例、第 1 実施形態の情報処理端末システムで行
25 われるタイミング調整処理が不要になる。したがって、第 3 実施形態の情報処理端末システムでは、タイミング調整処理に伴う受信データバッファ回路、送信データバッファ回路、タイミング調整回路、データ（信

号)を監視する機能、割込回路が必要ない。このように、第3実施形態の情報処理端末システムでは、第1実施形態の効果に加えて、第2実施形態の効果も実現する。

5 なお、第3実施形態の情報処理端末システムでは、変復調処理部83
が、受信時に、高周波処理部21からの受信変調波信号であるところの
受信中間周波信号(受信IF信号)を受信デジタルBB信号に変換して
マイクロプロセッサ信号処理部6に出力し、送信時に、マイクロプロ
セッサ信号処理部6からの送信デジタルBB信号を送信変調波信号で
あるところの送信中間周波信号(送信IF信号)に変換して高周波処理
10 部21に出力しているが、これに限定されない。変復調処理部83が、
受信時に、高周波処理部21からの受信変調波信号として受信RF信号
を受信デジタルBB信号に変換してマイクロプロセッサ信号処理部6
に出力し、送信時に、マイクロプロセッサ信号処理部6からの送信デ
ジタルBB信号を送信変調波信号として送信RF信号に変換して高周波
15 処理部21に出力することもできる。

この場合、本発明の第3実施形態の情報処理端末システムの変形例と
して、図12に示されるように、高周波処理部21は、デュープレクサ
ー(DUP)52、低雑音増幅器(LNA)53、帯域通過フィルター
(BPF)54、60、電力増幅器(PA)59を備えている。

20 復調器(DEM)22は、帯域通過フィルター(BPF)54からの
受信RF信号を受信アナログBB信号(アナログI信号、アナログQ信
号)に変換してA/D変換器24-1、24-2に出力する。

復調器(DEM)22の受信シンボルクロック再生回路は、この受信
アナログBB信号に重畳されている受信シンボル周波数の n 倍(n は整
25 数)の周波数を有する受信シンボルクロックを生成(再生)して、A/
D変換器24-1、24-2、D/A変換器25-1、25-2、マイ
クロ波送受信部インターフェース31、マイクロプロセッサ信号処理

部インターフェース 34、マイクロプロセッサ信号処理回路 (CPU) 26 に出力する。

変調器 (MOD) 23 は、送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) を変調して送信 RF 信号に変換し、帯域通過フィルター (BPF) 60 を介して電力増幅器 (PA) 59 に出力する。

(第 4 実施形態)

図 5 は、本発明の第 4 実施形態の情報処理端末システムとして、マイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。この第 4 実施形態の情報処理端末システムでは、第 3 実施形態の効果に加えて、受信シンボルクロックに同期したシンボルクロックを、そのシンボルクロックの受け側の用途に合わせて生成できる。第 4 実施形態では、前述と重複する説明を省略する。

第 4 実施形態の情報処理端末システムは、ネットワークに接続されたアンテナ 51 と、マイクロ波送受信部 7 と、マイクロプロセッサ信号処理部 6 とを具備する。アンテナ 51 とマイクロ波送受信部 7 とは、送受信装置 (通信装置) である。マイクロプロセッサ信号処理部 6 は、情報処理端末である。すなわち、第 4 実施形態の情報処理端末システムは、第 3 実施形態の情報処理端末システムのマイクロ波送受信部 5 に代えて、マイクロ波送受信部 7 を具備する。

第 4 実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部 6 からマイクロ波送受信部 7 を着脱できる構造である。マイクロ波送受信部 7 とマイクロプロセッサ信号処理部 6 とが分離されているとき、ユーザは、マイクロプロセッサ信号処理部 6 の機能のみで第 4 実施形態の情報処理端末システムを情報処理端末として使用できる。

マイクロ波送受信部 7 は、高周波処理部 21、変復調処理部 84 を備えている。この高周波処理部 21 は、第 1 実施形態と同じである (図 2 参照)。

変復調処理部 8 4 は、復調器 (DEM) 2 2、変調器 (MOD) 2 3、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ/デジタル (A/D) 変換器 2 4-1、2 4-2、デジタル/アナログ (D/A) 変換器 2 5-1、2 5-2、マイクロ波送受信部インターフェース (I/F) 3 1、クロック発生器 (CLOCK GEN) 3 5 を備えている。復調器 (DEM) 2 2、変調器 (MOD) 2 3、A/D 変換器 2 4-1、2 4-2、D/A 変換器 2 5-1、2 5-2、マイクロ波送受信部インターフェース 3 1 は、第 3 実施形態と同じである (図 4 参照)。すなわち、変復調処理部 8 4 は、第 3 実施形態における変復調

5 処理部 8 3 の構成に加えて、クロック発生器 3 5 を更に備えている。

変復調処理部 8 4 の復調器 (DEM) 2 2 は、搬送波再生回路 (図示しない)、受信シンボルクロック再生回路 (図示しない) を備えている。変復調処理部 8 4 の復調器 (DEM) 2 2 の搬送波再生回路は、第 1 実施形態における変復調

10 処理部 8 1 の復調器 (DEM) 2 2 の搬送波再生回路と同じである。

この復調器 (DEM) 2 2 の受信シンボルクロック再生回路は、第 3 実施形態における変復調処理部 8 3 の復調器 (DEM) 2 2 の受信シンボルクロック再生回路に対して、受信シンボルクロックの出力先が異なる。その受信シンボルクロック再生回路は、受信アナログ BB 信号に重畳されている受信シンボル周波数の n 倍 (n は整数) の周波数を有する受信シンボルクロックを生成 (再生) して、クロック発生器 3 5 に出力する。

20

クロック発生器 3 5 としては、分周回路、PLL (Phase Locked Loop) 回路が用いられる。このクロック発生器 3 5 は、復調器 (DEM) 2 2 からの受信シンボルクロックに基づいて、2 次受信シンボルクロックを生成して、その 2 次受信シンボルクロックの受け側である A/D 変換器 2 4-1、2 4-2、D/A 変換器 2 5-1、2

25

5 5-2、マイクロ波送受信部インターフェース31、マイクロプロセッサ信号処理部インターフェース34、マイクロプロセッサ信号処理回路(CPU)26に出力する。この2次受信シンボルクロックは、受信シンボルクロックに同期しているが、受信シンボルクロックの周波数とは異なる周波数を有する。

A/D変換器24-1、24-2が、受信アナログBB信号を受信デジタルBB信号に変換するとき4倍オーバーサンプリング($n=4$)で行う場合、クロック発生器35は、受信シンボル周波数の4倍の周波数を有する2次受信シンボルクロックを生成してA/D変換器24-1、
10 24-2に出力する。D/A変換器25-1、25-2が送信デジタルBB信号を送信アナログBB信号に変換するとき用いられる送信シンボル周波数が受信シンボルクロックの周波数の10分の1である場合、クロック発生器35は、受信シンボル周波数の($1/10$)倍の周波数を有する2次受信シンボルクロックを生成してD/A変換器25-1、
15 25-2に出力する。このように、第4実施形態の情報処理端末システムでは、第3実施形態の効果に加えて、受信シンボルクロックに同期した2次受信シンボルクロックを、その2次受信シンボルクロックの受け側の用途に合わせて生成できる。

次に、第4実施形態の情報処理端末システムが信号を受信したときの
20 動作を説明する。この動作については第3実施形態と重複する説明を省略する。

帯域通過フィルター(BPF)56からの受信IF信号は、復調器(DEM)22によって、受信アナログBB信号としてアナログI信号、アナログQ信号に変換され、A/D変換器24-1、24-2に出力され
25 る。この受信アナログBB信号に含まれる受信シンボル周波数に同期した1次受信シンボルクロックが復調器(DEM)22の受信シンボルクロック再生回路によって再生され、クロック発生器35に出力される。

この1次受信シンボルクロックを入力として、クロック発生器35は2次受信シンボルクロックを生成し、A/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31、マイクロプロセッサ信号処理部インターフェース34、マイクロプロセッサ信号処理回路(CPU)26に出力する。

復調器(DEM)22からのアナログI信号、アナログQ信号は、A/D変換器24-1、24-2によって、クロック発生器35からの2次受信シンボルクロックに同期したサンプリング周波数でサンプリングされ、受信デジタルBB信号としてデジタルI信号、デジタルQ信号に変換され、マイクロ波送受信部インターフェース31に出力される。

A/D変換器24-1、24-2からの受信デジタルBB信号(デジタルI信号、デジタルQ信号)は、マイクロ波送受信部インターフェース31の変換回路によって、クロック発生器35からの2次受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理部インターフェース34に出力される。

マイクロ波送受信部インターフェース31からの受信デジタルBB信号(デジタルI信号、デジタルQ信号)は、マイクロプロセッサ信号処理部インターフェース34の変換回路によって、クロック発生器35からの2次受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理回路(CPU)26に出力される。

マイクロプロセッサ信号処理部インターフェース34からの受信デジタルBB信号(デジタルI信号、デジタルQ信号)は、マイクロプロセッサ信号処理回路(CPU)26が実行する通信処理プログラムによって、クロック発生器35からの2次受信シンボルクロックに同期して、誤り訂正の処理、復号化の処理、識別情報除去処理、フーリエ変換、

デジタル波形処理が施され、受信データに変換される。マイクロプロセッサ信号処理回路（CPU）26は、応用プログラム（例えば電子メール処理プログラム）により、受信データを処理する。

次に、第4実施形態の情報処理端末システムが信号を送信するときの動作を説明する。この動作については第3実施形態と重複する説明を省略する。

マイクロプロセッサ信号処理回路（CPU）26は、応用プログラム（例えば電子メール処理プログラム）によって送信データを生成した後、通信処理プログラムによって、クロック発生器35からの2次受信シンボルクロックに同期して、送信データに誤り訂正用冗長情報を付加する処理、符号化の処理、識別情報付加処理、逆フーリエ変換、デジタル波形処理を施して送信デジタルBB信号（デジタルI信号、デジタルQ信号）に変換し、マイクロプロセッサ信号処理部インターフェース34に出力する。

マイクロプロセッサ信号処理回路（CPU）26からの送信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロプロセッサ信号処理部インターフェース34の変換回路によって、クロック発生器35からの2次受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロ波送受信部インターフェース31に出力される。

マイクロプロセッサ信号処理部インターフェース34からの送信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロ波送受信部インターフェース31の変換回路によって、クロック発生器35からの2次受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、D/A変換器25-1、25-2に出力される。

マイクロ波送受信部インターフェース31からの送信デジタルBB信

号（デジタル I 信号、デジタル Q 信号）は、D/A 変換器 25-1、25-2 によって、クロック発生器 35 からの 2 次受信シンボルクロックに同期して、送信アナログ BB 信号（アナログ I 信号、アナログ Q 信号）に変換され、変調器（MOD）23 に出力される。

- 5 D/A 変換器 25-1、25-2 からの送信アナログ BB 信号（アナログ I 信号、アナログ Q 信号）は、変調器（MOD）23 によって、送信 IF 信号に変換され、帯域通過フィルター（BPF）62 に出力される。

- 10 第 4 実施形態の情報処理端末システムでは、第 3 実施形態の効果に加えて、受信シンボルクロックに同期した 2 次受信シンボルクロックを、その 2 次受信シンボルクロックの受け側の用途に合わせて生成できる。

- 15 なお、第 4 実施形態の情報処理端末システムでは、変復調処理部 84 が、受信時に、高周波処理部 21 からの受信変調波信号であるところの受信中間周波信号（受信 IF 信号）を受信デジタル BB 信号に変換してマイクロプロセッサ信号処理部 6 に出力し、送信時に、マイクロプロセッサ信号処理部 6 からの送信デジタル BB 信号を送信変調波信号であるところの送信中間周波信号（送信 IF 信号）に変換して高周波処理部 21 に出力しているが、これに限定されない。変復調処理部 84 が、受信時に、高周波処理部 21 からの受信変調波信号として受信 RF 信号
20 を受信デジタル BB 信号に変換してマイクロプロセッサ信号処理部 6 に出力し、送信時に、マイクロプロセッサ信号処理部 6 からの送信デジタル BB 信号を送信変調波信号として送信 RF 信号に変換して高周波処理部 21 に出力することもできる。

- 25 この場合、本発明の第 4 実施形態の情報処理端末システムの変形例として、図 13 に示されるように、高周波処理部 21 は、デュープレクサ（DUP）52、低雑音増幅器（LNA）53、帯域通過フィルター（BPF）54、60、電力増幅器（PA）59 を備えている。

復調器 (DEM) 22 は、帯域通過フィルター (BPF) 54 からの受信 RF 信号を受信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) に変換して A/D 変換器 24-1、24-2 に出力する。

5 復調器 (DEM) 22 の受信シンボルクロック再生回路は、この受信アナログ BB 信号に重畳されている受信シンボル周波数の n 倍 (n は整数) の周波数を有する受信シンボルクロックを生成 (再生) して、クロック発生器 35 に出力する。A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 31、マイクロプロセッサ信号処理部インターフェース 34、マイクロプロ
10 セッサ信号処理回路 (CPU) 26 は、クロック発生器 35 からの 2 次受信シンボルクロックに同期して動作する。

変調器 (MOD) 23 は、送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) を変調して送信 RF 信号に変換し、帯域通過フィルター (BPF) 60 を介して電力増幅器 (PA) 59 に出力する。

15 また、本発明では、第 4' 実施形態の情報処理端末システムとして、図 18 に示されるように、第 4 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用することができる。

第 4' 実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部 6 に代えて、第 2 実施形態のマイクロプロセッサ信号処理部
20 4 を具備する。このマイクロプロセッサ信号処理部 4 は、前述したように、マイクロプロセッサ信号処理部インターフェース 47、マイクロプロセッサ信号処理回路 (CPU) 48 を備えている。第 4' 実施形態の情報処理端末システムでは、マイクロ波送受信部 7 は、変復調処理部 84 に代えて、変復調処理部 84' を備えている。変復調処理部 8
25 4' は、復調器 (DEM) 22、変調器 (MOD) 23、ベースバンド処理部を備えている。そのベースバンド処理部は、A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、復号器 (DEC) 7

1、符号器（ENC）72、マイクロ波送受信部インターフェース46、
クロック発生器35を備えている。

この場合、クロック発生器35は、復調器（DEM）22からの1次
受信シンボルクロックに基づいて、2次受信シンボルクロックを生成し
5 て、その2次受信シンボルクロックの受け側であるA/D変換器24-
1、24-2、D/A変換器25-1、25-2、復号器（DEC）7
1、符号器（ENC）72、マイクロ波送受信部インターフェース46、
マイクロプロセッサ信号処理部インターフェース47、マイクロプロ
セッサ信号処理回路（CPU）48に出力する。A/D変換器24-
10 1、24-2、D/A変換器25-1、25-2、復号器（DEC）7
1、符号器（ENC）72、マイクロ波送受信部インターフェース46、
マイクロプロセッサ信号処理部インターフェース47、マイクロプロ
セッサ信号処理回路（CPU）48は、クロック発生器35からの2
次受信シンボルクロックに同期して動作する。

15 また、第4'実施形態の情報処理端末システムでは、変復調処理部8
4'が、受信時に、高周波処理部21からの受信変調波信号であるところ
の受信中間周波信号（受信IF信号）を受信データに変換してマイク
ロプロセッサ信号処理部4に出力し、送信時に、マイクロプロセッサ
信号処理部4からの送信データを送信変調波信号であるところの送信
20 中間周波信号（送信IF信号）に変換して高周波処理部21に出力して
いるが、これに限定されない。変復調処理部84'が、受信時に、高周
波処理部21からの受信変調波信号として受信RF信号を受信データに
変換してマイクロプロセッサ信号処理部4に出力し、送信時に、マイ
クロプロセッサ信号処理部4からの送信データを送信変調波信号とし
25 て送信RF信号に変換して高周波処理部21に出力することもできる。

この場合、本発明の第4'実施形態の情報処理端末システムの変形例
として、図23に示されるように、高周波処理部21は、デュプレク

サー (DUP) 52、低雑音増幅器 (LNA) 53、帯域通過フィルター (BPF) 54、60、電力増幅器 (PA) 59を備えている。

5 復調器 (DEM) 22は、帯域通過フィルター (BPF) 54からの受信RF信号を受信アナログBB信号 (アナログI信号、アナログQ信号) に変換してA/D変換器24-1、24-2に出力する。

10 復調器 (DEM) 22の受信シンボルクロック再生回路は、この受信アナログBB信号に重畳されている受信シンボル周波数の n 倍 (n は整数) の周波数を有する1次シンボルクロックを生成 (再生) して、クロック発生器35に出力する。A/D変換器24-1、24-2、D/A変換器25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース46、マイクロプロセッサ-信号処理部インターフェース47、マイクロプロセッサ-信号処理回路 (CPU) 48は、クロック発生器35からの2次受信シンボルクロックに同期して動作する。

15 変調器 (MOD) 23は、送信アナログBB信号 (アナログI信号、アナログQ信号) を変調して送信RF信号に変換し、帯域通過フィルター (BPF) 60を介して電力増幅器 (PA) 59に出力する。

(第5実施形態)

20 図6は、本発明の第5実施形態の情報処理端末システムとして、マイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。この第5実施形態の情報処理端末システムでは、第3実施形態の効果に加えて、受信シンボルクロックがマイクロ波送受信部からマイクロプロセッサ-信号処理部に出力されない状況でも、マイクロプロセッサ-信号処理部内のマイクロプロセッサ-信号処理回路 (CPU) に出力されるクロックの発生源を切り替える必要なしに、そのマイクロプロセッサ-信号処理回路 (CPU) が常に動作する。第5実施形態では、前述と重複する説明を省略する。

第 5 実施形態の情報処理端末システムは、ネットワークに接続されたアンテナ 5 1 と、マイクロ波送受信部 9 と、マイクロプロセッサ信号処理部 1 0 とを具備する。アンテナ 5 1 とマイクロ波送受信部 9 とは、送受信装置（通信装置）である。マイクロプロセッサ信号処理部 1 0 は、情報処理端末である。すなわち、第 5 実施形態の情報処理端末システムは、第 3 実施形態の情報処理端末システムのマイクロ波送受信部 5 、マイクロプロセッサ信号処理部 6 に代えて、マイクロ波送受信部 9 、マイクロプロセッサ信号処理部 1 0 を具備する。

このマイクロ波送受信部 9 は、高周波処理部 2 1 、変復調処理部 8 5 を備えている。この高周波処理部 2 1 は、第 1 実施形態と同じである（図 2 参照）。

変復調処理部 8 5 は、復調器（DEM）2 2 、変調器（MOD）2 3 、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ／デジタル（A／D）変換器 2 4 - 1 、2 4 - 2 、デジタル／アナログ（D／A）変換器 2 5 - 1 、2 5 - 2 、マイクロ波送受信部インターフェース（I／F）3 1 を備えている。復調器（DEM）2 2 、変調器（MOD）2 3 、A／D変換器 2 4 - 1 、2 4 - 2 、D／A変換器 2 5 - 1 、2 5 - 2 、マイクロ波送受信部インターフェース 3 1 は、第 3 実施形態と同じである（図 4 参照）。

マイクロプロセッサ信号処理部 1 0 は、マイクロプロセッサ信号処理部インターフェース（I／F）3 4 、マイクロプロセッサ信号処理回路（CPU）2 6 、クロック発生器（CLOCK GEN）3 6 を備えている。マイクロプロセッサ信号処理部インターフェース 3 4 、マイクロプロセッサ信号処理回路 2 6 は、第 3 実施形態と同じである（図 4 参照）。

第 5 実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部 1 0 からマイクロ波送受信部 9 を着脱できる構造である。マイク

口波送受信部 9 とマイクロプロセッサ信号処理部 10 とが分離されているときでも、マイクロプロ

セッサ信号処理回路 (CPU) 26 は、クロック発生器 36 からの後述のクロックに同期して、メモリに記憶された複数のプログラムのうち、マイクロ波送受信機能を利用しない表計算や文書作成などの一般の

5 プログラム (図示しない) を実行することができ、前記の一般的な情報処理 (情報処理端末の機能のみが使用される処理) を行うことが可能である。つまり、ユーザは、マイクロプロセッサ信号処理部 10 の機能のみでも第 5 実施形態の情報処理端末システムを情報処理端末として使

10 用できる。
変復調処理部 85 の復調器 (DEM) 22 は、搬送波再生回路 (図示しない)、受信シンボルクロック再生回路 (図示しない) を備えている。

変復調処理部 85 の復調器 (DEM) 22 の搬送波再生回路は、第 1 実施形態における変復調処理部 81 の復調器 (DEM) 22 の搬送波再生

15 回路と同じである。
この復調器 (DEM) 22 の受信シンボルクロック再生回路は、第 3 実施形態における変復調処理部 83 の復調器 (DEM) 22 に対して、受信シンボルクロックの出力先が異なる。その受信シンボルクロック再生回路は、受信アナログ BB 信号に重畳されている受信シンボル周波数の n 倍 (n は整数) の周波数を有する受信シンボルクロックを生成 (再生) して、A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 31、マイクロプロセ

25 クロック発生器 36 としては、分周回路、PLL (Phase Locked Loop) 回路が用いられる。クロック発生器 36 は、復調器 (DEM) 22 からの受信シンボルクロックを 1 次クロックとして入

かし、そのPLL回路により、その1次クロックに同期した2次クロックを生成し、マイクロプロセッサ信号処理回路(CPU)26に出力する。1次クロックがない場合、クロック発生器36は、自走発振して2次クロックをマイクロプロセッサ信号処理回路(CPU)26に出力する。

次に、第5実施形態の情報処理端末システムが信号を受信したときの動作を説明する。この動作については第3実施形態と重複する説明を省略する。

帯域通過フィルター(BPF)56からの受信IF信号は、復調器(DEM)22によって、受信アナログBB信号としてアナログI信号、アナログQ信号に変換され、A/D変換器24-1、24-2に出力される。この受信アナログBB信号に含まれる受信シンボル周波数に同期した受信シンボルクロックが復調器(DEM)22の受信シンボルクロック再生回路によって再生され、A/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31、マイクロプロセッサ信号処理部インターフェース34、クロック発生器36に出力される。クロック発生器36は、復調器(DEM)22からの受信シンボルクロック(1次クロック)に同期した2次クロックを生成し、マイクロプロセッサ信号処理回路(CPU)26に出力する。

マイクロプロセッサ信号処理部インターフェース34からの受信デジタルBB信号(デジタルI信号、デジタルQ信号)は、マイクロプロセッサ信号処理回路(CPU)26が実行する通信処理プログラムによって、クロック発生器36からの2次クロックに同期して、誤り訂正の処理、復号化の処理、識別情報除去処理、フーリエ変換、デジタル波形処理が施され、受信データに変換される。マイクロプロセッサ信号処理回路(CPU)26は、応用プログラム(例えば電子メール処理プ

プログラム)により、受信データを処理する。

次に、第5実施形態の情報処理端末システムが信号を送信するときの動作を説明する。この動作については第3実施形態と重複する説明を省略する。

- 5 マイクロプロセッサ信号処理回路(CPU)26は、応用プログラム(例えば電子メール処理プログラム)によって送信データを生成した後、通信処理プログラムによって、クロック発生器36からの2次クロックに同期して、送信データに誤り訂正用冗長情報を付加する処理、符号化の処理、識別情報付加処理、逆フーリエ変換、デジタル波形処理を
10 施して送信デジタルBB信号(デジタルI信号、デジタルQ信号)に変換し、マイクロプロセッサ信号処理部インターフェース34に出力する。

- 第5実施形態の情報処理端末システムでは、受信断の場合、又は、マイクロ波送受信部9とマイクロプロセッサ信号処理部10とが何らか
15 の理由で分離された場合、マイクロプロセッサ信号処理部10は、受信シンボルクロック(1次クロック)を入力できなくなる。この場合でも、クロック発生器36のPLL回路の自走発振により、2次クロックがマイクロプロセッサ信号処理回路(CPU)26に出力される。このため、マイクロ波送受信部9がマイクロプロセッサ信号処理部10
20 に装着されている場合や、マイクロ波送受信部9とマイクロプロセッサ信号処理部10とが分離されている場合でも、マイクロプロセッサ信号処理回路(CPU)26は、クロック発生器36からの2次クロックに同期したタイミングで動作する。このように、第5実施形態の情報処理端末システムでは、第3実施形態の効果に加えて、受信シンボルク
25 ロックがマイクロ波送受信部9からマイクロプロセッサ信号処理部10に出力されない状況でも、マイクロプロセッサ信号処理部10内のマイクロプロセッサ信号処理回路(CPU)26に出力されるクロッ

クの発生源を切り替える必要がなく、そのマイクロプロセッサ信号処理回路（CPU）26が常に動作する。

本実施例では、クロック発生器36が、1次クロックである受信シンボルクロックに同期した2次クロックをマイクロプロセッサ信号処理回路（CPU）26に供給しているが、受信シンボルクロックの周波数とは異なる周波数を有する2次クロックをマイクロプロセッサ信号処理回路（CPU）26に供給することができる。この結果、第5実施形態の情報処理端末システムでは、低電力モード時にマイクロプロセッサ信号処理回路（CPU）26の動作周波数を下げるなど、動作周波数の変更が容易になる。

なお、第5実施形態の情報処理端末システムでは、変復調処理部85が、受信時に、高周波処理部21からの受信変調波信号であるところの受信中間周波信号（受信IF信号）を受信デジタルBB信号に変換してマイクロプロセッサ信号処理部10に出力し、送信時に、マイクロプロセッサ信号処理部10からの送信デジタルBB信号を送信変調波信号であるところの送信中間周波信号（送信IF信号）に変換して高周波処理部21に出力しているが、これに限定されない。変復調処理部85が、受信時に、高周波処理部21からの受信変調波信号として受信RF信号を受信デジタルBB信号に変換してマイクロプロセッサ信号処理部10に出力し、送信時に、マイクロプロセッサ信号処理部10からの送信デジタルBB信号を送信変調波信号として送信RF信号に変換して高周波処理部21に出力することもできる。

この場合、本発明の第5実施形態の情報処理端末システムの変形例として、図14に示されるように、高周波処理部21は、デュープレクサ（DUP）52、低雑音増幅器（LNA）53、帯域通過フィルター（BPF）54、60、電力増幅器（PA）59を備えている。

復調器（DEM）22は、帯域通過フィルター（BPF）54からの

受信 R F 信号を受信アナログ B B 信号（アナログ I 信号、アナログ Q 信号）に変換して A / D 変換器 2 4 - 1、2 4 - 2 に出力する。

復調器（D E M）2 2 の受信シンボルクロック再生回路は、この受信アナログ B B 信号に重畳されている受信シンボル周波数の n 倍（n は整数）の周波数を有する受信シンボルクロックを生成（再生）して、A / D 変換器 2 4 - 1、2 4 - 2、D / A 変換器 2 5 - 1、2 5 - 2、マイクロ波送受信部インターフェース 3 1、マイクロプロセッサ信号処理部インターフェース 3 4、クロック発生器 3 6 に出力する。A / D 変換器 2 4 - 1、2 4 - 2、D / A 変換器 2 5 - 1、2 5 - 2、マイクロ波送受信部インターフェース 3 1、マイクロプロセッサ信号処理部インターフェース 3 4、クロック発生器 3 6 は、復調器（D E M）2 2 からの受信シンボルクロックに同期して動作する。マイクロプロセッサ信号処理回路（C P U）4 8 は、クロック発生器 3 6 からの 2 次受信シンボルクロックに同期して動作する。

変調器（M O D）2 3 は、送信アナログ B B 信号（アナログ I 信号、アナログ Q 信号）を変調して送信 R F 信号に変換し、帯域通過フィルター（B P F）6 0 を介して電力増幅器（P A）5 9 に出力する。

また、本発明では、第 5 ' 実施形態の情報処理端末システムとして、図 1 9 に示されるように、第 5 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用することができる。

第 5 ' 実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部 1 0 に代えて、マイクロプロセッサ信号処理部 1 0 ' を具備する。マイクロプロセッサ信号処理部 1 0 ' は、第 2 実施形態のマイクロプロセッサ信号処理部 4 のマイクロプロセッサ信号処理部インターフェース 4 7、マイクロプロセッサ信号処理回路（C P U）4 8 と、上述のクロック発生器 3 6 とを備えている。第 5 ' 実施形態の情報処理端末システムでは、マイクロ波送受信部 9 は、変復調処理部 8 5 に

代えて、変復調処理部 85' を備えている。変復調処理部 85' は、復調器 (DEM) 22、変調器 (MOD) 23、ベースバンド処理部を備えている。そのベースバンド処理部は、A/D変換器 24-1、24-2、D/A変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46 を備えている。

この場合、復調器 (DEM) 22 の受信シンボルクロック再生回路は、復調器 (DEM) 22 で生成される受信アナログ BB 信号に重畳されている受信シンボル周波数の n 倍 (n は整数) の周波数を有する受信シンボルクロックを生成 (再生) して、A/D変換器 24-1、24-2、D/A変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47、クロック発生器 36 に出力する。A/D変換器 24-1、24-2、D/A変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47、クロック発生器 36 は、復調器 (DEM) 22 からの受信シンボルクロックに同期して動作する。マイクロプロセッサ信号処理回路 (CPU) 48 は、クロック発生器 36 からの 2 次受信シンボルクロックに同期して動作する。

また、第 5' 実施形態の情報処理端末システムでは、変復調処理部 85' が、受信時に、高周波処理部 21 からの受信変調波信号であるところの受信中間周波信号 (受信 IF 信号) を受信データに変換してマイクロプロセッサ信号処理部 10' に出力し、送信時に、マイクロプロセッサ信号処理部 10' からの送信データを送信変調波信号であるところの送信中間周波信号 (送信 IF 信号) に変換して高周波処理部 21 に出力しているが、これに限定されない。変復

調処理部 85' が、受信時に、高周波処理部 21 からの受信変調波信号として受信 RF 信号を受信データに変換してマイクロプロセッサ信号処理部 10' に出力し、送信時に、マイクロプロセッサ信号処理部 10' からの送信データを送信変調波信号として送信 RF 信号に変換して
5 高周波処理部 21 に出力することもできる。

この場合、本発明の第 5' 実施形態の情報処理端末システムの変形例として、図 24 に示されるように、高周波処理部 21 は、デュープレクサー (DUP) 52、低雑音増幅器 (LNA) 53、帯域通過フィルター (BPF) 54、60、電力増幅器 (PA) 59 を備えている。

10 復調器 (DEM) 22 は、帯域通過フィルター (BPF) 54 からの受信 RF 信号を受信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) に変換して A/D 変換器 24-1、24-2 に出力する。

復調器 (DEM) 22 の受信シンボルクロック再生回路は、この受信アナログ BB 信号に重畳されている受信シンボル周波数の n 倍 (n は整数) の周波数を有する受信シンボルクロックを生成 (再生) して、A/D
15 D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47、クロック発生器 36 に出力する。A/D 変換器 24-1、24-2、
20 D/A 変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47、クロック発生器 36 は、復調器 (DEM) 22 からの受信シンボルクロックに同期して動作する。
マイクロプロセッサ信号処理回路 (CPU) 48 は、クロック発生器
25 36 からの 2 次受信シンボルクロックに同期して動作する。

変調器 (MOD) 23 は、送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) を変調して送信 RF 信号に変換し、帯域通過フィルター

ー (BPF) 60 を介して電力増幅器 (PA) 59 に出力する。

(第6実施形態)

図7は、本発明の第6実施形態の情報処理端末システムとして、マイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。

- 5 この第6実施形態の情報処理端末システムでは、第4実施形態の効果に加えて、搬送波を再生する搬送波再生回路と受信シンボルクロックを再生する受信シンボルクロック再生回路とを簡略化でき、再生された搬送波、受信シンボルクロックの位相雑音を改善することができる。第6実施形態では、前述と重複する説明を省略する。
- 10 第6実施形態の情報処理端末システムは、ネットワークに接続されたアンテナ51と、マイクロ波送受信部11と、マイクロプロセッサ信号処理部6とを具備する。アンテナ51とマイクロ波送受信部11とは、送受信装置 (通信装置) である。マイクロプロセッサ信号処理部6は、情報処理端末である。すなわち、第6実施形態の情報処理端末システム
- 15 は、第4実施形態の情報処理端末システムのマイクロ波送受信部7に代えて、マイクロ波送受信部11を具備する。第6実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部6からマイクロ波送受信部11を着脱できる構造である。マイクロ波送受信部11とマイクロプロセッサ信号処理部6とが分離されているとき、ユーザは、マイ
- 20 クロプロセッサ信号処理部6の機能のみで第6実施形態の情報処理端末システムを情報処理端末として使用できる。

マイクロ波送受信部11は、高周波処理部37、変復調処理部86を備えている。

- 高周波処理部37は、受信時に、アンテナ51により受信された受信
- 25 RF信号を復調し受信中間周波数信号 (受信IF信号) に変換して変復調処理部86に出力する。高周波処理部37は、送信時に、変復調処理部86からの送信IF信号を送信RF信号に変換してアンテナ51を介

して送信する。

変復調処理部 8 6 は、受信時に、高周波処理部 3 7 からの受信 I F 信号を受信デジタルベースバンド信号（受信デジタル B B 信号）に変換してマイクロプロセッサ信号処理部 6 に出力する。変復調処理部 8 6 は、
5 送信時に、マイクロプロセッサ信号処理部 6 からの送信デジタルベースバンド信号（送信デジタル B B 信号）を送信 I F 信号に変換して高周波処理部 3 7 に出力する。

高周波処理部 3 7 は、デュープレクサー（D U P） 5 2、低雑音増幅器（L N A） 5 3、帯域通過フィルター（B P F） 5 4、5 6、6 0、
10 6 2、周波数変換器（C O N V） 4 0、6 1、局部発振器（O S C） 5 7、5 8、電力増幅器（P A） 5 9 を備えている。デュープレクサー（D U P） 5 2、低雑音増幅器（L N A） 5 3、帯域通過フィルター（B P F） 5 4、5 6、6 0、6 2、周波数変換器（C O N V） 6 1、局部発振器（O S C） 5 7、5 8、電力増幅器（P A） 5 9 は、第 1 実施形態
15 と同じである（図 2 参照）。すなわち、高周波処理部 3 7 は、第 1 実施形態におけるマイクロ波送受信部 1 の周波数変換器（C O N V） 5 5 に代えて、周波数変換器（C O N V） 4 0 を備えている。

変復調処理部 8 6 は、復調器（D E M） 3 8、変調器（M O D） 2 3、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ／デジタル（A／D）変換器 2 4－1、2 4－2、デジタル／アナログ（D／A）変換器 2 5－1、2 5－2、マイクロ波送受信部インターフェース（I／F） 3 1、クロック発生器（C L O C K G E N） 3 9 を備えている。変調器（M O D） 2 3、A／D 変換器 2 4－1、2 4－2、D／A 変換器 2 5－1、2 5－2、マイクロ波送受信部インターフェース 3 1 は、第 4 実施形態と同じである（図 5 参照）。すなわち、変復
25 調処理部 8 6 は、第 4 実施形態における変復調処理部 8 4 の復調器（D E M） 2 2、クロック発生器 3 5 に代えて、復調器（D E M） 3 8、ク

ロック発生器 39 を備えている。

周波数変換器 (CONV) 40 は、帯域通過フィルター (BPF) 54 により不要の周波数成分が除去された受信 RF 信号を、局部発振器 (OSC) 57 により生成された局部発振信号と混合して受信中間周波数信号 (受信 IF 信号) に変換し、帯域通過フィルター (BPF) 56 を介して変復調処理部 86 の復調器 (DEM) 38 に出力する。

周波数変換器 (CONV) 40 は、帯域通過フィルター (BPF) 54 からの受信 RF 信号に重畳されている基準位相信号を生成 (抽出) して、クロック発生器 39 に出力する。

10 クロック発生器 39 は、受信シンボルクロック再生回路 (図示しない) を備えている。

クロック発生器 39 は、周波数変換器 (CONV) 40 からの基準位相信号に基づいて、受信シンボル周波数の n 倍 (n は整数) の周波数を有する受信シンボルクロックを生成 (再生) し、A/D 変換器 24-1、
15 24-2、D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 31、マイクロプロセッサ信号処理部インターフェース 34、マイクロプロセッサ信号処理回路 (CPU) 26 に出力する。
受信シンボルクロックは、基準位相信号に同期し、基準位相信号の周波数とは異なる周波数を有する。

20 また、クロック発生器 39 は、搬送波再生回路 (図示しない) を備えている。

クロック発生器 39 は、周波数変換器 (CONV) 40 からの基準位相信号に基づいて、搬送波を生成 (再生) し、復調器 (DEM) 38 に出力する。搬送波は、基準位相信号に同期し、基準位相信号の周波数と
25 は異なる周波数を有する。

変復調処理部 86 の復調器 (DEM) 38 は、クロック発生器 39 から入力された搬送波を用いて同期検波を行い、帯域通過フィルター (B

P F) 5 6 からの受信 I F 信号を受信アナログ B B 信号に変換する。Q A M 変調信号の場合、復調器 (D E M) 3 8 は、クロック発生器 3 9 から入力された搬送波から同相搬送波と直交搬送波とを生成 (再生) する。復調器 (D E M) 3 8 は、それらを用いて、Q A M 変調波 (同相変調波
5 と直交変調波) を同期検波することによって受信アナログ B B 信号、すなわちアナログ同相成分信号 (アナログ I 信号)、アナログ直交成分信号 (アナログ Q 信号) に変換し、A / D 変換器 2 4 - 1、2 4 - 2 に出力する。

A / D 変換器 2 4 - 1、2 4 - 2 は、クロック発生器 3 9 からの受信
10 シンボルクロックに同期したサンプリング周波数で復調器 (D E M) 2 2 からのアナログ I 信号、アナログ Q 信号をサンプリングし、サンプリング時のアナログ I 信号、アナログ Q 信号が示す搬送波の振幅に対応したデジタル同相成分信号 (デジタル I 信号)、デジタル直交成分信号 (デジタル Q 信号) を受信デジタルベースバンド信号 (受信デジタル B B 信
15 号) として生成 (変換) してマイクロ波送受信部インターフェース 3 1 に出力する。

次に、第 6 実施形態の情報処理端末システムが信号を受信したときの動作を説明する。この動作については第 4 実施形態と重複する説明を省略する。

20 アンテナ 5 1 により受信された受信 R F 信号は、デュープレクサー (D U P) 5 2 によって低雑音増幅器 (L N A) 5 3 に出力される。受信 R F 信号は、低雑音増幅器 (L N A) 5 3 によって増幅され、帯域通過フィルター (B P F) 5 4 によって搬送波周波数帯域以外の不要の周波数成分が除去される。

25 不要の周波数成分が除去された受信 R F 信号は、周波数変換器 (C O N V) 4 0 によって、局部発振器 (O S C) 5 7 により生成された局部発振信号と混合され受信 I F 信号に変換される。受信 I F 信号は、帯域

通過フィルター（BPF）56によって搬送波周波数帯域が選択され、復調器（DEM）38に出力される。

周波数変換器（CONV）40によって受信RF信号は受信IF信号に変換されると同時に、受信RF信号に重畳された基準位相信号が周波数変換器（CONV）40内の分波回路（図示しない）によって分離され、クロック発生器39に出力される。この基準位相信号により、基準位相信号に同期したクロックがクロック発生器39からA/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31、マイクロプロセッサ信号処理部インターフェース34、マイクロプロセッサ信号処理回路（CPU）26に出力される。また、この基準位相信号から再生された搬送波がクロック発生器39から復調器（DEM）38に出力される。

帯域通過フィルター（BPF）56からの受信IF信号は、復調器（DEM）38によって、受信アナログBB信号としてアナログI信号、アナログQ信号に変換され、A/D変換器24-1、24-2に出力される。

復調器（DEM）38からのアナログI信号、アナログQ信号は、A/D変換器24-1、24-2によって、クロック発生器39からの受信シンボルクロックに同期したサンプリング周波数でサンプリングされ、受信デジタルBB信号としてデジタルI信号、デジタルQ信号に変換され、マイクロ波送受信部インターフェース31に出力される。

A/D変換器24-1、24-2からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロ波送受信部インターフェース31の変換回路によって、クロック発生器39からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理部インターフェース34に出力される。

マイクロ波送受信部インターフェース 31 からの受信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）は、マイクロプロセッサ信号処理部インターフェース 34 の変換回路によって、クロック発生器 39 からの受信シンボルクロックに同期して、信号レベル変換処理、パ
5 ルビット変換処理が施され、マイクロプロセッサ信号処理回路（CPU）26 に出力される。

マイクロプロセッサ信号処理部インターフェース 34 からの受信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）は、マイクロプロセッサ信号処理回路（CPU）26 が実行する通信処理プログラムによ
10 って、クロック発生器 39 からの受信シンボルクロックに同期して、誤り訂正の処理、復号化の処理、識別情報除去処理、フーリエ変換、デジタル波形処理が施され、受信データに変換される。マイクロプロセッサ信号処理回路（CPU）26 は、応用プログラム（例えば電子メール処理プログラム）により、受信データを処理する。

15 次に、第 6 実施形態の情報処理端末システムが信号を送信するときの動作を説明する。この動作については第 4 実施形態と重複する説明を省略する。

マイクロプロセッサ信号処理回路（CPU）26 は、応用プログラム（例えば電子メール処理プログラム）によって送信データを生成した
20 後、通信処理プログラムによって、クロック発生器 39 からの受信シンボルクロックに同期して、送信データに誤り訂正用冗長情報を付加する処理、符号化の処理、識別情報付加処理、逆フーリエ変換、デジタル波形処理を施して送信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）に変換し、マイクロプロセッサ信号処理部インターフェース 34
25 に出力する。

マイクロプロセッサ信号処理回路（CPU）26 からの送信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）は、マイクロプロセッ

サー信号処理部インターフェース 34 の変換回路によって、クロック発生器 39 からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロ波送受信部インターフェース 31 に出力される。

- 5 マイクロプロセッサ信号処理部インターフェース 34 からの送信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）は、マイクロ波送受信部インターフェース 31 の変換回路によって、クロック発生器 39 からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、D/A 変換器 25-1、25-2 に出力される。
- 10 れる。

- マイクロ波送受信部インターフェース 31 からの送信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）は、D/A 変換器 25-1、25-2 によって、クロック発生器 39 からの受信シンボルクロックに同期して、送信アナログ BB 信号（アナログ I 信号、アナログ Q 信号）に変換され、変調器（MOD）23 に出力される。
- 15 変換され、変調器（MOD）23 に出力される。

 D/A 変換器 25-1、25-2 からの送信アナログ BB 信号（アナログ I 信号、アナログ Q 信号）は、変調器（MOD）23 によって、送信 IF 信号に変換され、帯域通過フィルター（BPF）62 に出力される。

- 20 第 6 実施形態の情報処理端末システムでは、第 4 実施形態の復調器（DEM）22 が変調波を用いて搬送波を再生して受信シンボルクロックを再生するのではなく、周波数変換器（CONV）40 からの基準位相信号を用いて、クロック発生器 39 が受信シンボルクロック及び搬送波を再生する。このため、第 6 実施形態の情報処理端末システムでは、変調
- 25 波に比べて位相情報が明確な基準位相信号から搬送波や受信シンボルクロックを再生することから、搬送波再生回路と受信シンボルクロック再生回路の構成を簡略化できる。

第 6 実施形態の情報処理端末システムでは、基準位相信号を用いて、搬送波、受信シンボルクロックを再生する。このため、第 6 実施形態の情報処理端末システムでは、再生された搬送波、受信シンボルクロックの位相雑音を改善することができる。

- 5 このように、第 6 実施形態の情報処理端末システムでは、第 4 実施形態の効果に加えて、搬送波を再生する搬送波再生回路と受信シンボルクロックを再生する受信シンボルクロック再生回路とを簡略化でき、再生された搬送波、受信シンボルクロックの位相雑音を改善することができる。
- 10 なお、本実施例では、クロック発生器 39 が搬送波再生回路を備えているが、クロック発生器 39 の代わりに、復調器 (DEM) 38 が搬送波再生回路を備える場合がある。この場合、クロック発生器 39 は、復調器 (DEM) 38 に基準位相信号に同期した信号 (例えば受信シンボルクロックまたは基準位相信号そのものであっても良い。) を出力する。
- 15 復調器 (DEM) 38 はそれを元に同相搬送波と直交搬送波とを生成 (再生) し、QAM 変調波 (同相変調波と直交変調波) を同期検波することによって受信アナログ BB 信号、すなわちアナログ同相成分信号 (アナログ I 信号)、アナログ直交成分信号 (アナログ Q 信号) に変換し、A/D 変換器 24-1、24-2 に出力する。
- 20 また、第 6 実施形態の情報処理端末システムでは、変復調処理部 86 が、受信時に、高周波処理部 21 からの受信変調波信号であるところの受信中間周波信号 (受信 IF 信号) を受信デジタル BB 信号に変換してマイクロプロセッサ信号処理部 6 に出力し、送信時に、マイクロプロセッサ信号処理部 6 からの送信デジタル BB 信号を送信変調波信号で
- 25 あるところの送信中間周波信号 (送信 IF 信号) に変換して高周波処理部 21 に出力しているが、これに限定されない。変復調処理部 86 が、受信時に、高周波処理部 21 からの受信変調波信号として受信 RF 信号

を受信デジタル B B 信号に変換してマイクロプロセッサ信号処理部 6 に出力し、送信時に、マイクロプロセッサ信号処理部 6 からの送信デジタル B B 信号を送信変調波信号として送信 R F 信号に変換して高周波処理部 2 1 に出力することもできる。

- 5 この場合、本発明の第 6 実施形態の情報処理端末システムの変形例として、図 1 5 に示されるように、高周波処理部 2 1 は、デュープレクサー (D U P) 5 2、低雑音増幅器 (L N A) 5 3、帯域通過フィルター (B P F) 5 4、6 0、電力増幅器 (P A) 5 9 を備えている。帯域通過フィルター (B P F) 5 4 は、受信信号帯域通過フィルター (図示し
10 ない)、基準信号帯域通過フィルター (図示しない) を備えている。

- ・ 帯域通過フィルター (B P F) 5 4 の受信信号帯域通過フィルターには、受信 R F 信号の周波数帯域が設定され、その受信信号帯域通過フィルターは、低雑音増幅器 (L N A) 5 3 より入力された受信 R F 信号のみを抽出し、復調器 (D E M) 3 8 に出力する。帯域通過フィルター (B
15 P F) 5 4 の基準位相信号帯域通過フィルターには、基準位相信号の周波数帯域が設定され、その基準位相信号帯域通過フィルターは、低雑音増幅器 (L N A) 5 3 より入力された受信 R F 信号に重畳されている基準位相信号のみを抽出し、クロック発生器 3 9 に出力する。

- クロック発生器 3 9 は、帯域通過フィルター (B P F) 5 4 からの基
20 準位相信号に基づいて、受信シンボルクロックを生成 (再生) し、A / D 変換器 2 4 - 1、2 4 - 2、D / A 変換器 2 5 - 1、2 5 - 2、マイクロ波送受信部インターフェース 3 1、マイクロプロセッサ信号処理部インターフェース 3 4、マイクロプロセッサ信号処理回路 (C P U) 2 6 に出力する。A / D 変換器 2 4 - 1、2 4 - 2、D / A 変換器 2 5
25 - 1、2 5 - 2、マイクロ波送受信部インターフェース 3 1、マイクロプロセッサ信号処理部インターフェース 3 4、マイクロプロセッサ信号処理回路 (C P U) 2 6 は、クロック発生器 3 9 からの受信シンボ

ルクロックに同期して動作する。また、クロック発生器 39 は、帯域通過フィルタ (BPF) 54 からの基準位相信号に基づいて、搬送波を生成 (再生) し、復調器 (DEM) 38 に出力する。

5 復調器 (DEM) 38 は、帯域通過フィルタ (BPF) 54 からの受信 RF 信号を受信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) に変換して A/D 変換器 24-1、24-2 に出力する。

変調器 (MOD) 23 は、送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) を変調して送信 RF 信号に変換し、帯域通過フィルタ (BPF) 60 を介して電力増幅器 (PA) 59 に出力する。

10 また、本発明では、第 6' 実施形態の情報処理端末システムとして、図 20 に示されるように、第 6 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用することができる。

第 6' 実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部 6 に代えて、第 2 実施形態のマイクロプロセッサ信号処理部 15 4 を具備する。このマイクロプロセッサ信号処理部 4 は、前述したように、マイクロプロセッサ信号処理部インターフェース 47、マイクロプロセッサ信号処理回路 (CPU) 48 を備えている。第 6' 実施形態の情報処理端末システムでは、マイクロ波送受信部 11 は、変復調処理部 86 に代えて、変復調処理部 86' を備えている。変復調処理部 20 86' は、復調器 (DEM) 38、変調器 (MOD) 23、ベースバンド処理部を備えている。そのベースバンド処理部は、A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、クロック発生器 39 を備えている。

25 この場合、クロック発生器 39 は、周波数変換器 (CONV) 40 からの基準位相信号に基づいて、受信シンボルクロックを生成 (再生) し、A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、

復号器（DEC）71、符号器（ENC）72、マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47、マイクロプロセッサ信号処理回路（CPU）48に出力する。
A/D変換器24-1、24-2、D/A変換器25-1、25-2、
5 復号器（DEC）71、符号器（ENC）72、マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47、マイクロプロセッサ信号処理回路（CPU）48は、クロック発生器39からの受信シンボルクロックに同期して動作する。また、クロック発生器39は、周波数変換器（CONV）40からの基準位相
10 信号に基づいて、搬送波を生成（再生）し、復調器（DEM）38に出力する。

また、第6'実施形態の情報処理端末システムでは、変復調処理部86'が、受信時に、高周波処理部21からの受信変調波信号であるところの受信中間周波信号（受信IF信号）を受信データに変換してマイクロ
15 プロセッサ信号処理部4に出力し、送信時に、マイクロプロセッサ信号処理部4からの送信データを送信変調波信号であるところの送信中間周波信号（送信IF信号）に変換して高周波処理部21に出力しているが、これに限定されない。変復調処理部86'が、受信時に、高周波処理部21からの受信変調波信号として受信RF信号を受信データに
20 変換してマイクロプロセッサ信号処理部4に出力し、送信時に、マイクロプロセッサ信号処理部4からの送信データを送信変調波信号として送信RF信号に変換して高周波処理部21に出力することもできる。

この場合、本発明の第6'実施形態の情報処理端末システムの変形例として、図25に示されるように、高周波処理部21は、デュープレク
25 サー（DUP）52、低雑音増幅器（LNA）53、帯域通過フィルター（BPF）54、60、電力増幅器（PA）59を備えている。帯域通過フィルター（BPF）54は、受信信号帯域通過フィルター（図示

しない)、基準位相信号帯域通過フィルター(図示しない)を備えている。

帯域通過フィルター(BPF)54の受信信号帯域通過フィルターには、受信RF信号の周波数帯域が設定され、その受信信号帯域通過フィルターは、低雑音増幅器(LNA)53より入力された受信RF信号のみを抽出し、復調器(DEM)38に出力する。帯域通過フィルター(BPF)54の基準信号帯域通過フィルターには、基準位相信号の周波数帯域が設定され、その基準位相信号帯域通過フィルターは、低雑音増幅器(LNA)53より入力された受信RF信号に重畳されている基準位相信号のみを抽出し、クロック発生器39に出力する。

10 クロック発生器39は、帯域通過フィルター(BPF)54からの基準位相信号に基づいて、受信シンボルクロックを生成(再生)し、A/D変換器24-1、24-2、D/A変換器25-1、25-2、復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47、マイクロプロセッサ信号処理回路(CPU)48に出力する。A/D変換器24-1、24-2、D/A変換器25-1、25-2、復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47、マイクロプロセッサ信号処理回路(CPU)48は、クロック発生器39からの受信シンボルクロックに同期して動作する。また、クロック発生器39は、帯域通過フィルター(BPF)54からの基準位相信号に基づいて、搬送波を生成(再生)し、復調器(DEM)38に出力する。

25 復調器(DEM)38は、帯域通過フィルター(BPF)54からの受信RF信号を受信アナログBB信号(アナログI信号、アナログQ信号)に変換してA/D変換器24-1、24-2に出力する。

変調器(MOD)23は、送信アナログBB信号(アナログI信号、

アナログQ信号)を変調して送信RF信号に変換し、帯域通過フィルター(BPF)60を介して電力増幅器(PA)59に出力する。

(第7実施形態)

図8は、本発明の第7実施形態の情報処理端末システムとして、マイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。この第7実施形態の情報処理端末システムでは、第4実施形態の効果に加えて、受信シンボルクロック再生回路が不要になる。第7実施形態では、前述と重複する説明を省略する。

第7実施形態の情報処理端末システムは、ネットワークに接続されたアンテナ51と、マイクロ波送受信部13と、マイクロプロセッサ信号処理部6とを具備する。アンテナ51とマイクロ波送受信部13とは、送受信装置(通信装置)である。マイクロプロセッサ信号処理部6は、情報処理端末である。すなわち、第7実施形態の情報処理端末システムは、第4実施形態の情報処理端末システムのマイクロ波送受信部7に代えて、マイクロ波送受信部13を具備する。

第7実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部6からマイクロ波送受信部13を着脱できる構造である。マイクロ波送受信部13とマイクロプロセッサ信号処理部6とが分離されているとき、ユーザは、マイクロプロセッサ信号処理部6の機能のみでも第7実施形態の情報処理端末システムを情報処理端末として使用できる。

このマイクロ波送受信部13は、高周波処理部21、変復調処理部87を備えている。この高周波処理部21は、第1実施形態と同じである(図2参照)。

変復調処理部87は、復調器(DEM)42、変調器(MOD)23、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ/デジタル(A/D)変換器24-1、24-2、デジタル/アナロ

グ (D/A) 変換器 25-1、25-2、マイクロ波送受信部インターフェース (I/F) 31、クロック発生器 (CLOCK GEN) 41 を備えている。変調器 (MOD) 23、A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 31 は、第 4 実施形態と同じである (図 5 参照)。すなわち、変復調処理部 87 は、第 4 実施形態における変復調処理部 84 の復調器 (DEM) 22、クロック発生器 35 に代えて、復調器 (DEM) 42、クロック発生器 41 を備えている。

変復調処理部 87 の復調器 (DEM) 42 は、搬送波再生回路 (図示しない) を備えている。復調器 (DEM) 42 の搬送波再生回路は、第 1 実施形態における変復調処理部 81 の復調器 (DEM) 22 の搬送波再生回路と同じである。

クロック発生器 41 は、自走発振によりクロックを生成して A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 31、マイクロプロセッサ信号処理部インターフェース 34、マイクロプロセッサ信号処理回路 (CPU) 26 に出力する。

次に、第 7 実施形態の情報処理端末システムが信号を受信したときの動作を説明する。この動作については第 4 実施形態と重複する説明を省略する。

帯域通過フィルター (BPF) 56 からの受信 IF 信号は、復調器 (DEM) 42 によって、受信アナログ BB 信号としてアナログ I 信号、アナログ Q 信号に変換され、A/D 変換器 24-1、24-2 に出力される。

クロック発生器 41 の自走発振により、クロックがクロック発生器 41 から A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 31、マイクロプロセッサ

一信号処理部インターフェース 34、マイクロプロセッサ信号処理回路 (CPU) 26 に出力される。

5 復調器 (DEM) 38 からのアナログ I 信号、アナログ Q 信号は、A/D 変換器 24-1、24-2 によって、クロック発生器 41 からのクロックに同期したサンプリング周波数でサンプリングされ、受信デジタル BB 信号としてデジタル I 信号、デジタル Q 信号に変換され、マイクロ波送受信部インターフェース 31 に出力される。

10 A/D 変換器 24-1、24-2 からの受信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) は、マイクロ波送受信部インターフェース 31 の変換回路によって、クロック発生器 41 からのクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理部インターフェース 34 に出力される。

15 マイクロ波送受信部インターフェース 31 からの受信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) は、マイクロプロセッサ信号処理部インターフェース 34 の変換回路によって、クロック発生器 41 からのクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理回路 (CPU) 26 に出力される。

20 マイクロプロセッサ信号処理部インターフェース 34 からの受信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) は、マイクロプロセッサ信号処理回路 (CPU) 26 が実行する通信処理プログラムによって、クロック発生器 41 からのクロックに同期して、誤り訂正の処理、復号化の処理、識別情報除去処理、フーリエ変換、デジタル波形処理が施され、受信データに変換される。このように、マイクロプロセッサ信号処理回路 (CPU) 26 では、受信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) にデジタル波形処理を施すことにより波形を再生し、受信データを判別する。マイクロプロセッサ信号処理回路

(CPU) 26は、応用プログラム（例えば電子メール処理プログラム）により、受信データを処理する。

次に、第7実施形態の情報処理端末システムが信号を送信するときの動作を説明する。この動作については第4実施形態と重複する説明を省略する。

マイクロプロセッサ信号処理回路（CPU）26は、応用プログラム（例えば電子メール処理プログラム）によって送信データを生成した後、通信処理プログラムによって、クロック発生器41からのクロックに同期して、送信データに誤り訂正用冗長情報を付加する処理、符号化の処理、識別情報付加処理、逆フーリエ変換、デジタル波形処理を施して送信デジタルBB信号（デジタルI信号、デジタルQ信号）に変換し、マイクロプロセッサ信号処理部インターフェース34に出力する。

マイクロプロセッサ信号処理回路（CPU）26からの送信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロプロセッサ信号処理部インターフェース34の変換回路によって、クロック発生器41からのクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロ波送受信部インターフェース31に出力される。

マイクロプロセッサ信号処理部インターフェース34からの送信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロ波送受信部インターフェース31の変換回路によって、クロック発生器41からのクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、D/A変換器25-1、25-2に出力される。

マイクロ波送受信部インターフェース31からの送信デジタルBB信号（デジタルI信号、デジタルQ信号）は、D/A変換器25-1、25-2によって、クロック発生器41からのクロックに同期して、送信アナログBB信号（アナログI信号、アナログQ信号）に変換され、変

調器 (MOD) 23 に出力される。 D/A 変換器 25-1、25-2 からの送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) は、変調器 (MOD) 23 によって、送信 IF 信号に変換され、帯域通過フィルター (BPF) 62 に出力される。

- 5 第7実施形態の情報処理端末システムでは、マイクロプロセッサ信号処理回路 (CPU) 26 で、受信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) にデジタル波形処理を施すことにより波形を再生し、受信データを判別する。このため、復調器 (DEM) 42 には受信シンボルクロックを再生する受信シンボルクロック再生回路が必要ない。このように、第7実施形態の情報処理端末システムでは、第4実施形態の
- 10 効果に加えて、受信シンボルクロック再生回路が不要になる。

- なお、第7実施形態の情報処理端末システムでは、変復調処理部 87 が、受信時に、高周波処理部 21 からの受信変調波信号であるところの受信中間周波信号 (受信 IF 信号) を受信デジタル BB 信号に変換して
- 15 マイクロプロセッサ信号処理部 6 に出力し、送信時に、マイクロプロセッサ信号処理部 6 からの送信デジタル BB 信号を送信変調波信号であるところの送信中間周波信号 (送信 IF 信号) に変換して高周波処理部 21 に出力しているが、これに限定されない。変復調処理部 87 が、受信時に、高周波処理部 21 からの受信変調波信号として受信 RF 信号
- 20 を受信デジタル BB 信号に変換してマイクロプロセッサ信号処理部 6 に出力し、送信時に、マイクロプロセッサ信号処理部 6 からの送信デジタル BB 信号を送信変調波信号として送信 RF 信号に変換して高周波処理部 21 に出力することもできる。

- この場合、本発明の第7実施形態の情報処理端末システムの変形例として、図 16 に示されるように、高周波処理部 21 は、デュープレクサー (DUP) 52、低雑音増幅器 (LNA) 53、帯域通過フィルター (BPF) 54、60、電力増幅器 (PA) 59 を備えている。
- 25

復調器 (DEM) 42 は、帯域通過フィルター (BPF) 54 からの受信 RF 信号を受信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) に変換して A/D 変換器 24-1、24-2 に出力する。A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 31、マイクロプロセッサ信号処理部インターフェース 34、マイクロプロセッサ信号処理回路 (CPU) 26 は、クロック発生器 41 からのクロックに同期して動作する。

変調器 (MOD) 23 は、送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) を変調して送信 RF 信号に変換し、帯域通過フィルター (BPF) 60 を介して電力増幅器 (PA) 59 に出力する。

また、本発明では、第 7' 実施形態の情報処理端末システムとして、図 21 に示されるように、第 7 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用することができる。

第 7' 実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部 6 に代えて、第 2 実施形態のマイクロプロセッサ信号処理部 4 を具備する。このマイクロプロセッサ信号処理部 4 は、前述したように、マイクロプロセッサ信号処理部インターフェース 47、マイクロプロセッサ信号処理回路 (CPU) 48 を備えている。第 7' 実施形態の情報処理端末システムでは、マイクロ波送受信部 13 は、変復調処理部 87 に代えて、変復調処理部 87' を備えている。

変復調処理部 87' は、復調器 (DEM) 42、ベースバンド処理部を備えている。そのベースバンド処理部は、変調器 (MOD) 23、A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、クロック発生器 41 を備えている。

この場合、クロック発生器 41 は、自走発振によりクロックを生成して A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、

復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47、マイクロプロセッサ信号処理回路 (CPU) 48 に出力する。
A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、

5 復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47、マイクロプロセッサ信号処理回路 (CPU) 48 は、クロック発生器 41 からのクロックに同期して動作する。

また、第 7' 実施形態の情報処理端末システムでは、変復調処理部 8
10 7' が、受信時に、高周波処理部 21 からの受信変調波信号であるところの受信中間周波信号 (受信 IF 信号) を受信データに変換してマイクロプロセッサ信号処理部 4 に出力し、送信時に、マイクロプロセッサ信号処理部 4 からの送信データを送信変調波信号であるところの送信中間周波信号 (送信 IF 信号) に変換して高周波処理部 21 に出力して
15 いるが、これに限定されない。変復調処理部 8 7' が、受信時に、高周波処理部 21 からの受信変調波信号として受信 RF 信号を受信データに変換してマイクロプロセッサ信号処理部 4 に出力し、送信時に、マイクロプロセッサ信号処理部 4 からの送信データを送信変調波信号として送信 RF 信号に変換して高周波処理部 21 に出力することもできる。

20 この場合、本発明の第 7' 実施形態の情報処理端末システムの変形例として、図 26 に示されるように、高周波処理部 21 は、デュープレクサー (DUP) 52、低雑音増幅器 (LNA) 53、帯域通過フィルター (BPF) 54、60、電力増幅器 (PA) 59 を備えている。

復調器 (DEM) 42 は、帯域通過フィルター (BPF) 54 からの
25 受信 RF 信号を受信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) に変換して A/D 変換器 24-1、24-2 に出力する。A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、復号器 (D

EC) 71、符号器(ENC) 72、マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47、マイクロプロセッサ信号処理回路(CPU) 48は、クロック発生器41からのクロックに同期して動作する。

- 5 変調器(MOD) 23は、送信アナログBB信号(アナログI信号、アナログQ信号)を変調して送信RF信号に変換し、帯域通過フィルター(BPF) 60を介して電力増幅器(PA) 59に出力する。

(第8実施形態)

- 図9は、本発明の第8実施形態の情報処理端末システムとして、マイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。
- この第8実施形態の情報処理端末システムでは、第7実施形態の効果に加えて、マイクロ波送受信部とマイクロプロセッサ信号処理部とが何らかの理由で分離された場合でも、マイクロプロセッサ信号処理部内のマイクロプロセッサ信号処理回路(CPU)が常に動作する。
- 15 第8実施形態では、前述と重複する説明を省略する。

- 第8実施形態の情報処理端末システムは、ネットワークに接続されたアンテナ51と、マイクロ波送受信部15と、マイクロプロセッサ信号処理部16とを具備する。アンテナ51とマイクロ波送受信部15とは、送受信装置(通信装置)である。マイクロプロセッサ信号処理部
- 20 16は、情報処理端末である。すなわち、第8実施形態の情報処理端末システムは、第7実施形態の情報処理端末システムのマイクロ波送受信部13、マイクロプロセッサ信号処理部6に代えて、マイクロ波送受信部15、マイクロプロセッサ信号処理部16を具備する。

- 25 このマイクロ波送受信部15は、高周波処理部21、変復調処理部88を備えている。この高周波処理部21は、第1実施形態と同じである(図2参照)。

変復調処理部 88 は、復調器 (DEM) 42、変調器 (MOD) 23、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ/デジタル (A/D) 変換器 24-1、24-2、デジタル/アナログ (D/A) 変換器 25-1、25-2、マイクロ波送受信部インターフェース (I/F) 101 を備えている。復調器 (DEM) 42、変調器 (MOD) 23、A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2 は、第 7 実施形態と同じである (図 8 参照)。マイクロ波送受信部インターフェース (I/F) 101 は、その機能が上述のマイクロ波送受信部インターフェース (I/F) 31 と同じであるが、クロックの入出力が上述のマイクロ波送受信部インターフェース (I/F) 31 と異なる。

マイクロプロセッサ信号処理部 16 は、マイクロプロセッサ信号処理部インターフェース (I/F) 102、マイクロプロセッサ信号処理回路 (CPU) 26、クロック発生器 (CLOCK GEN) 33 を備えている。マイクロプロセッサ信号処理回路 26 は、第 7 実施形態と同じである (図 8 参照)。マイクロプロセッサ信号処理部インターフェース (I/F) 102 は、その機能が上述のマイクロプロセッサ信号処理部インターフェース (I/F) 34 と同じであるが、クロックの入出力が上述のマイクロプロセッサ信号処理部インターフェース (I/F) 34 と異なる。

クロック発生器 33 は、自走発振によりクロックを生成して A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 101、マイクロプロセッサ信号処理部インターフェース 102、マイクロプロセッサ信号処理回路 (CPU) 26 に出力する。

第 8 実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部 16 からマイクロ波送受信部 15 を着脱できる構造である。マイ

クロ波送受信部 15 とマイクロプロセッサ信号処理部 16 とが分離されているときでも、マイクロプロセッサ信号処理回路 (CPU) 26 は、クロック発生器 33 からのクロックに同期して、メモリに記憶された複数のプログラムのうち、マイクロ波送受信機能を利用しない表計算
5 や文書作成など一般のプログラム (図示しない) を実行することができ、前記の一般的な情報処理 (情報処理端末の機能のみが使用される処理) を行うことが可能である。つまり、ユーザは、マイクロプロセッサ信号処理部 16 の機能のみでも第 8 実施形態の情報処理端末システムを情報処理端末として使用できる。

- 10 次に、第 8 実施形態の情報処理端末システムが信号を受信したときの動作を説明する。この動作については第 7 実施形態と重複する説明を省略する。

帯域通過フィルター (BPF) 56 からの受信 IF 信号は、復調器 (DEM) 42 によって、受信アナログ BB 信号としてアナログ I 信号、ア
15 ナログ Q 信号に変換され、A/D 変換器 24-1、24-2 に出力される。

クロック発生器 33 の自走発振により、クロックがクロック発生器 33 から A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 101、マイクロプロセッ
20 サ信号処理部インターフェース 102、マイクロプロセッサ信号処理回路 (CPU) 26 に出力される。

復調器 (DEM) 38 からのアナログ I 信号、アナログ Q 信号は、A/D 変換器 24-1、24-2 によって、クロック発生器 33 からのクロックに同期したサンプリング周波数でサンプリングされ、受信デジタル
25 BB 信号としてデジタル I 信号、デジタル Q 信号に変換され、マイクロ波送受信部インターフェース 101 に出力される。

A/D 変換器 24-1、24-2 からの受信デジタル BB 信号 (デジ

タル I 信号、デジタル Q 信号) は、マイクロ波送受信部インターフェース 101 の変換回路によって、クロック発生器 33 からのクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理部インターフェース 102 に出力される。

- 5 マイクロ波送受信部インターフェース 101 からの受信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) は、マイクロプロセッサ信号処理部インターフェース 102 の変換回路によって、クロック発生器 33 からのクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理回路 (CPU) 26
- 10 に出力される。

- マイクロプロセッサ信号処理部インターフェース 102 からの受信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) は、マイクロプロセッサ信号処理回路 (CPU) 26 が実行する通信処理プログラムによって、クロック発生器 33 からのクロックに同期して、誤り訂正の
- 15 処理、復号化の処理、識別情報除去処理、フーリエ変換、デジタル波形処理が施され、受信データに変換される。このように、マイクロプロセッサ信号処理回路 (CPU) 26 では、受信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) にデジタル波形処理を施すことにより波形を再生し、受信データを判別する。マイクロプロセッサ信号処理回
- 20 路 (CPU) 26 は、応用プログラム (例えば電子メール処理プログラム) により、受信データを処理する。

次に、第 8 実施形態の情報処理端末システムが信号を送信するときの動作を説明する。この動作については第 7 実施形態と重複する説明を省略する。

- 25 マイクロプロセッサ信号処理回路 (CPU) 26 は、応用プログラム (例えば電子メール処理プログラム) によって送信データを生成した後、通信処理プログラムによって、クロック発生器 33 からのクロック

に同期して、送信データに誤り訂正冗長情報を付加する処理、符号化の処理、識別情報付加処理、逆フーリエ変換、デジタル波形処理を施して送信デジタルBB信号（デジタルI信号、デジタルQ信号）に変換し、マイクロプロセッサ信号処理部インターフェース102に出力する。

- 5 マイクロプロセッサ信号処理回路（CPU）26からの送信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロプロセッサ信号処理部インターフェース102の変換回路によって、クロック発生器33からのクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロ波送受信部インターフェース101
- 10 に出力される。

- マイクロプロセッサ信号処理部インターフェース102からの送信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロ波送受信部インターフェース101の変換回路によって、クロック発生器33からのクロックに同期して、信号レベル変換処理、パラレルビット
- 15 変換処理が施され、D/A変換器25-1、25-2に出力される。

- マイクロ波送受信部インターフェース101からの送信デジタルBB信号（デジタルI信号、デジタルQ信号）は、D/A変換器25-1、25-2によって、クロック発生器33からのクロックに同期して、送信アナログBB信号（アナログI信号、アナログQ信号）に変換され、
- 20 変調器（MOD）23に出力される。

 D/A変換器25-1、25-2からの送信アナログBB信号（アナログI信号、アナログQ信号）は、変調器（MOD）23によって、送信IF信号に変換され、帯域通過フィルター（BPF）62に出力される。

- 25 第8実施形態の情報処理端末システムでは、上述のように、マイクロプロセッサ信号処理部16のクロック発生器33は、クロックをA/D変換器24-1、24-2、D/A変換器25-1、25-2、マイ

クロ波送受信部インターフェース 101、マイクロプロセッサ信号処理部インターフェース 102、マイクロプロセッサ信号処理回路（CPU）26 に出力している。このため、マイクロ波送受信部 15 とマイクロプロセッサ信号処理部 16 とが何らかの理由で分離された場合でも、クロック発生器 33 の自走発振により、クロックがマイクロプロセッサ信号処理回路（CPU）26 に出力される。このため、マイクロプロセッサ信号処理回路（CPU）26 は、クロック発生器 33 からのクロックに同期したタイミングで動作する。このように、第 8 実施形態の情報処理端末システムでは、第 7 実施形態の効果に加えて、マイクロ波送受信部 15 とマイクロプロセッサ信号処理部 16 とが何らかの理由で分離された場合でも、マイクロプロセッサ信号処理部 16 内のマイクロプロセッサ信号処理回路（CPU）26 が常に動作する。

なお、第 8 実施形態の情報処理端末システムでは、変復調処理部 88 が、受信時に、高周波処理部 21 からの受信変調波信号であるところの受信中間周波信号（受信 IF 信号）を受信デジタル BB 信号に変換してマイクロプロセッサ信号処理部 16 に出力し、送信時に、マイクロプロセッサ信号処理部 16 からの送信デジタル BB 信号を送信変調波信号であるところの送信中間周波信号（送信 IF 信号）に変換して高周波処理部 21 に出力しているが、これに限定されない。変復調処理部 88 が、受信時に、高周波処理部 21 からの受信変調波信号として受信 RF 信号を受信デジタル BB 信号に変換してマイクロプロセッサ信号処理部 16 に出力し、送信時に、マイクロプロセッサ信号処理部 16 からの送信デジタル BB 信号を送信変調波信号として送信 RF 信号に変換して高周波処理部 21 に出力することもできる。

この場合、本発明の第 8 実施形態の情報処理端末システムの変形例として、図 17 に示されるように、高周波処理部 21 は、デュープレクサ（DUP）52、低雑音増幅器（LNA）53、帯域通過フィルター

(BPF) 54、60、電力増幅器(PA) 59を備えている。

復調器(DEM) 42は、帯域通過フィルター(BPF) 54からの受信RF信号を受信アナログBB信号(アナログI信号、アナログQ信号)に変換してA/D変換器24-1、24-2に出力する。A/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース101、マイクロプロセッサ信号処理部インターフェース102、マイクロプロセッサ信号処理回路(CPU) 26は、クロック発生器33からのクロックに同期して動作する。

変調器(MOD) 23は、送信アナログBB信号(アナログI信号、アナログQ信号)を変調して送信RF信号に変換し、帯域通過フィルター(BPF) 60を介して電力増幅器(PA) 59に出力する。

また、本発明では、第8'実施形態の情報処理端末システムとして、図22に示されるように、第8実施形態の情報処理端末システムを第2実施形態の情報処理端末システムに適用することができる。

第8'実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部16に代えて、マイクロプロセッサ信号処理部16'を具備する。マイクロプロセッサ信号処理部16'は、第2実施形態のマイクロプロセッサ信号処理回路(CPU) 48と、マイクロプロセッサ信号処理部インターフェース104と、上述のクロック発生器33とを備えている。マイクロプロセッサ信号処理部インターフェース104は、その機能が上述のマイクロプロセッサ信号処理部インターフェース47と同じであるが、クロックの入出力が上述のマイクロプロセッサ信号処理部インターフェース47と異なる。

第8'実施形態の情報処理端末システムでは、マイクロ波送受信部9は、変復調処理部88に代えて、変復調処理部88'を備えている。変復調処理部88'は、復調器(DEM) 42、変調器(MOD) 23、ベースバンド処理部を備えている。そのベースバンド処理部は、A/D

変換器 24-1、24-2、D/A変換器 25-1、25-2、復号器
(DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インター
フェース 103を備えている。マイクロ波送受信部インターフェース 1
03は、その機能が上述のマイクロ波送受信部インターフェース 46と
5 同じであるが、クロックの入出力が上述のマイクロ波送受信部インター
フェース 46と異なる。

この場合、クロック発生器 33は、自走発振によりクロックを生成し
てA/D変換器 24-1、24-2、D/A変換器 25-1、25-2、
復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部イ
10 ンターフェース 103、マイクロプロセッサ信号処理部インターフェ
ース 104、マイクロプロセッサ信号処理回路 (CPU) 48に出力
する。A/D変換器 24-1、24-2、D/A変換器 25-1、25
-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受
信部インターフェース 103、マイクロプロセッサ信号処理部インタ
15 ーフェース 104、マイクロプロセッサ信号処理回路 (CPU) 48
は、クロック発生器 33からのクロックに同期して動作する。

また、第8'実施形態の情報処理端末システムでは、変復調処理部 8
8'が、受信時に、高周波処理部 21からの受信変調波信号であるところ
の受信中間周波信号 (受信 IF 信号) を受信データに変換してマイク
20 ロプロセッサ信号処理部 16'に出力し、送信時に、マイクロプロセ
ッサ信号処理部 16'からの送信データを送信変調波信号であるところ
の送信中間周波信号 (送信 IF 信号) に変換して高周波処理部 21に
出力しているが、これに限定されない。変復調処理部 88'が、受信時
に、高周波処理部 21からの受信変調波信号として受信 RF 信号を受信
25 データに変換してマイクロプロセッサ信号処理部 16'に出力し、送
信時に、マイクロプロセッサ信号処理部 16'からの送信データを送
信変調波信号として送信 RF 信号に変換して高周波処理部 21に出力す

ることでもある。

この場合、本発明の第 8' 実施形態の情報処理端末システムの変形例として、図 27 に示されるように、高周波処理部 21 は、デュープレクサー (DUP) 52、低雑音増幅器 (LNA) 53、帯域通過フィルター (BPF) 54、60、電力増幅器 (PA) 59 を備えている。

復調器 (DEM) 42 は、帯域通過フィルター (BPF) 54 からの受信 RF 信号を受信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) に変換して A/D 変換器 24-1、24-2 に出力する。A/D 変換器 24-1、24-2、

10 D/A 変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 103、マイクロプロセッサ信号処理部インターフェース 104、マイクロプロセッサ信号処理回路 (CPU) 48 は、クロック発生器 33 からのクロックに同期して動作する。

15 変調器 (MOD) 23 は、送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) を変調して送信 RF 信号に変換し、帯域通過フィルター (BPF) 60 を介して電力増幅器 (PA) 59 に出力する。

第 1 実施形態～第 8 実施形態とその変形例、第 4' 実施形態～第 8' 実施形態とその変形例において、直交振幅変調信号 (QAM 変調信号) の場合について説明したが、振幅変調、位相変調、周波数変調、その他の変調を含めシンボル単位でデジタルデータを伝送する場合でも本発明を適用できる。また、第 1 実施形態～第 8 実施形態において、マイクロ波を利用した無線通信のみならず、光を利用した有線通信にも適用できる。この場合、高周波 RF 信号は、搬送波に光を用いた変調波である高周波信号に置き換えられる。

20

25

本発明の第 1 実施形態、第 2 実施形態の情報処理端末システムによれば、小型化を実現できる。本発明の第 1 実施形態、第 2 実施形態の情報

処理端末システムによれば、低消費電力を実現できる。本発明の第 1 実施形態、第 2 実施形態の情報処理端末システムによれば、低発熱化を実現できる。本発明の第 1 実施形態、第 2 実施形態の情報処理端末システムによれば、低コスト化を実現できる。本発明の第 2 実施形態の情報処理
5 端末システムによれば、スループットの低下を防止する。本発明の第 1 実施形態、第 2 実施形態の情報処理端末システムによれば、利用性（携帯性、経済性）が向上する。本発明の第 3 実施形態の情報処理端末システムによれば、第 1 実施形態の効果に加えて、第 2 実施形態の効果も実現する。本発明の第 4 実施形態の情報処理端末システムによれば、第 3
10 実施形態の効果に加えて、受信シンボルクロックに同期したシンボルクロックを、そのシンボルクロックの受け側の用途に合わせて変更できる。本発明の第 5 実施形態の情報処理端末システムによれば、第 3 実施形態の効果に加えて、受信シンボルクロックがマイクロ波送受信部からマイクロプロセッサ信号処理部に出力されない状況でも、マイクロプロセ
15 ッサ信号処理部内のマイクロプロセッサ信号処理回路（CPU）が常に動作する。本発明の第 6 実施形態の情報処理端末システムによれば、第 4 実施形態の効果に加えて、搬送波を再生する搬送波再生回路と受信シンボルクロックを再生する受信シンボルクロック再生回路とを簡略化でき、再生された搬送波、受信シンボルクロックの位相雑音を改善する
20 ことができる。本発明の第 7 実施形態の情報処理端末システムによれば、第 4 実施形態の効果に加えて、受信シンボルクロック再生回路が不要になる。本発明の第 8 実施形態の情報処理端末システムによれば、第 7 実施形態の効果に加えて、マイクロ波送受信部とマイクロプロセッサ信号処理部とが何らかの理由で分離された場合でも、マイクロプロセッサ
25 信号処理部内のマイクロプロセッサ信号処理回路（CPU）が常に動作する。

請求の範囲

1. 情報処理端末と、

前記情報処理端末に着脱可能な送受信装置と
を具備し、

5 前記送受信装置は、

送受信処理部と、
復調部と、
変調部と、

ベースバンド処理部とを備え、

10 前記送受信装置が前記情報処理端末に装着されているときに、

前記送受信処理部は、ネットワークからの受信変調波信号を前記復調部
に出力し、前記変調部からの送信変調波信号を前記ネットワークに送
出し、

前記復調部は、前記送受信処理部からの前記受信変調波信号を受信ア

15 ナログベースバンド信号に変換し、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を受
信デジタル信号に変換して前記情報処理端末に出力し、前記情報処理端
末からの送信デジタル信号を送信アナログベースバンド信号に変換し、

前記変調部は、前記送信アナログベースバンド信号を前記送信変調波

20 信号に変換し、

前記ベースバンド処理部と前記情報処理端末とは、クロックにより同
期して動作し、

前記受信デジタル信号は、受信データを含み、

前記送信デジタル信号は、送信データを含む

25 情報処理端末システム。

2. 請求の範囲第1項に記載の情報処理端末システムにおいて、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を前記受信デジタル信号としての受信デジタルベースバンド信号に変換して前記情報処理端末に出力し、前記情報処理端末からの前記送信デジタル信号としての送信デジタルベースバンド信号を前記送信アナログベースバンド信号に変換し、

前記情報処理端末は、前記ベースバンド処理部からの前記受信デジタルベースバンド信号を前記受信データに変換し、前記送信データを前記送信デジタルベースバンド信号に変換する情報処理端末システム。

10

3. 請求の範囲第2項に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して入力される前記受信デジタルベースバンド信号を前記受信データに変換し、前記送信データを前記送信デジタルベースバンド信号に変換して前記インターフェースを介して前記ベースバンド処理部に出力する制御部とを備え、

前記復調部は、周波数を有する受信シンボルクロックを生成して前記クロックとして前記ベースバンド処理部と前記インターフェースと前記制御部とに出力する

情報処理端末システム。

4. 請求の範囲第2項に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して入力される前記受信デジタルベースバンド信号を前記受信データに変換し、前記

送信データを前記送信デジタルベースバンド信号に変換して前記インターフェースを介して前記ベースバンド処理部に出力する制御部とを備え、前記送受信装置は、更に、クロック発生器を備え、

前記復調部は、周波数を有する受信シンボルクロックを生成して前記
5 クロック発生器に出力し、

前記クロック発生器は、前記復調部からの前記受信シンボルクロックに基づいて2次受信シンボルクロックを生成して前記クロックとして前記ベースバンド処理部と前記インターフェースと前記制御部とに出力し、

前記2次受信シンボルクロックは、前記受信シンボルクロックに同期
10 し、前記受信シンボルクロックの周波数とは異なる周波数を有する
情報処理端末システム。

5. 請求の範囲第2項に記載の情報処理端末システムにおいて、

前記情報処理端末は、
15 インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して入力される前記受信デジタルベースバンド信号を前記受信データに変換し、前記送信データを前記送信デジタルベースバンド信号に変換して前記インターフェースを介して前記ベースバンド処理部に出力する制御部と、

20 クロック発生器とを備え、

前記復調部は、周波数を有する受信シンボルクロックを生成して前記クロックとして前記ベースバンド処理部と前記インターフェースと前記クロック発生器とに出力し、

前記クロック発生器は、前記復調部からの前記受信シンボルクロック
25 を1次クロックとして入力し、前記1次クロックに同期した2次クロックを生成して前記クロックとして前記制御部に出力し、前記1次クロックが入力されない場合、自走発振により前記2次クロックを生成して前

記クロックとして前記制御部に出力する

情報処理端末システム。

6. 請求の範囲第2項に記載の情報処理端末システムにおいて、

5 前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して入力される前記受信デジタルベースバンド信号を前記受信データに変換し、前記送信データを前記送信デジタルベースバンド信号に変換して前記インターフェースを介して前記ベースバンド処理部に出力する制御部とを備え、

10 前記送受信装置は、更に、クロック発生器を備え、

前記送受信処理部は、周波数を有する基準信号を生成して前記クロック発生器に出力し、

前記クロック発生器は、前記送受信処理部からの前記基準信号に基づいて、前記受信変調波信号の搬送波を再生して前記復調部に出力すると共に受信シンボルクロックを生成して前記クロックとして前記ベースバンド処理部と前記インターフェースと前記制御部とに出力し、

前記受信シンボルクロックは、前記基準信号に同期し、

前記復調部と前記ベースバンド処理部と前記インターフェースと前記制御部とは前記受信シンボルクロックにより同期して動作する

情報処理端末システム。

7. 請求の範囲第2項に記載の情報処理端末システムにおいて、

前記情報処理端末は、

25 インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して入力される前記受信デジタルベースバンド信号を前記受信データに変換し、前記

送信データを前記送信デジタルベースバンド信号に変換して前記インターフェースを介して前記ベースバンド処理部に出力する制御部とを備え、

前記送受信装置は、更に、クロック発生器を備え、

前記クロック発生器は、自走発振により前記クロックを生成して前記

- 5 ベースバンド処理部と前記インターフェースと前記制御部とに出力する情報処理端末システム。

8. 請求の範囲第2項に記載の情報処理端末システムにおいて、

前記情報処理端末は、

- 10 インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して入力される前記受信デジタルベースバンド信号を前記受信データに変換し、前記送信データを前記送信デジタルベースバンド信号に変換して前記インターフェースを介して前記ベースバンド処理部に出力する制御部と、

- 15 クロック発生器とを備え、

前記クロック発生器は、自走発振により前記クロックを生成して前記ベースバンド処理部と前記インターフェースと前記制御部とに出力する情報処理端末システム。

- 20 9. 請求の範囲第1項に記載の情報処理端末システムにおいて、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を前記受信デジタル信号としての前記受信データに変換して前記情報処理端末に出力し、前記情報処理端末からの前記送信デジタル信号としての前記送信データを送信アナログベースバンド信号に変換する

- 25 情報処理端末システム。

10. 請求の範囲第9項に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して前記受信データを入力し、前記送信データを前記インターフェースを介して前記
5 ベースバンド処理部に出力する制御部とを備え、

前記復調部は、周波数を有する受信シンボルクロックを生成して前記クロックとして前記ベースバンド処理部と前記インターフェースと前記制御部とに出力する

情報処理端末システム。

10

1 1. 請求の範囲第 9 項に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して前記受信
15 データを入力し、前記送信データを前記インターフェースを介して前記ベースバンド処理部に出力する制御部とを備え、

前記送受信装置は、更に、クロック発生器を備え、

前記復調部は、周波数を有する受信シンボルクロックを生成して前記クロック発生器に出力し、

20 前記クロック発生器は、前記復調部からの前記受信シンボルクロックに基づいて 2 次受信シンボルクロックを生成して前記クロックとして前記ベースバンド処理部と前記インターフェースと前記制御部とに出力し、

前記 2 次受信シンボルクロックは、前記受信シンボルクロックに同期し、前記受信シンボルクロックの周波数とは異なる周波数を有する

25 情報処理端末システム。

1 2. 請求の範囲第 9 項に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して前記受信データを入力し、前記送信データを前記インターフェースを介して前記

5 ベースバンド処理部に出力する制御部と、

クロック発生器とを備え、

前記復調部は、周波数を有する受信シンボルクロックを生成して前記クロックとして前記ベースバンド処理部と前記インターフェースと前記クロック発生器とに出力し、

10 前記クロック発生器は、前記復調部からの前記受信シンボルクロックを1次クロックとして入力し、前記1次クロックに同期した2次クロックを生成して前記クロックとして前記制御部に出力し、前記1次クロックが入力されない場合、自走発振により前記2次クロックを生成して前記クロックとして前記制御部に出力する

15 情報処理端末システム。

13. 請求の範囲第9項に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

20 前記ベースバンド処理部から前記インターフェースを介して前記受信データを入力し、前記送信データを前記インターフェースを介して前記ベースバンド処理部に出力する制御部とを備え、

前記送受信装置は、更に、クロック発生器を備え、

25 前記送受信処理部は、周波数を有する基準信号を生成して前記クロック発生器に出力し、

前記クロック発生器は、前記送受信処理部からの前記基準信号に基づいて、前記受信変調波信号の搬送波を再生して前記復調部に出力すると

共に受信シンボルクロックを生成して前記クロックとして前記ベースバンド処理部と前記インターフェースと前記制御部とに出力し、

前記受信シンボルクロックは、前記基準信号に同期し、

前記復調部と前記ベースバンド処理部と前記インターフェースと前記

- 5 制御部とは前記受信シンボルクロックにより同期して動作する
情報処理端末システム。

1 4. 請求の範囲第 9 項に記載の情報処理端末システムにおいて、

前記情報処理端末は、

- 10 インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して前記受信データを入力し、前記送信データを前記インターフェースを介して前記ベースバンド処理部に出力する制御部とを備え、

前記送受信装置は、更に、クロック発生器を備え、

- 15 前記クロック発生器は、自走発振により前記クロックを生成して前記ベースバンド処理部と前記インターフェースと前記制御部とに出力する
情報処理端末システム。

1 5. 請求の範囲第 9 項に記載の情報処理端末システムにおいて、

- 20 前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して前記受信データを入力し、前記送信データを前記インターフェースを介して前記ベースバンド処理部に出力する制御部と、

- 25 クロック発生器とを備え、

前記クロック発生器は、自走発振により前記クロックを生成して前記ベースバンド処理部と前記インターフェースと前記制御部とに出力する

情報処理端末システム。

1 6. 情報処理端末と、

前記情報処理端末に着脱可能な送受信装置と

5 を具備し、

前記送受信装置は、

送受信処理部と、

復調部と、

変調部と、

10 ベースバンド処理部とを備え、

前記送受信装置が前記情報処理端末に装着されているときに、

前記送受信処理部は、ネットワークからの受信変調波信号を前記復調部に出し、前記変調部からの送信変調波信号を前記ネットワークに送出し、

15 前記復調部は、前記送受信処理部からの前記受信変調波信号を受信アナログベースバンド信号に変換し、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を受信デジタルベースバンド信号に変換し、前記情報処理端末からの送信デジタルベースバンド信号を送信アナログベースバンド信号に変換し、

20 前記変調部は、前記送信アナログベースバンド信号を前記送信変調波信号に変換し、

前記情報処理端末は、前記ベースバンド処理部からの前記受信デジタルベースバンド信号を受信データに変換し、送信データを前記送信デジタルベースバンド信号に変換する

25 情報処理端末システム。

1 7. 着脱可能な送受信装置が装着された情報処理端末の送受信方法で

あって、

(a) 前記送受信装置において、前記ネットワークからの受信変調波信号を復調し、受信アナログベースバンド信号に変換するステップと、

5 (b) 前記送受信装置において、前記受信アナログベースバンド信号をクロックに同期して受信データを含む受信デジタル信号に変換するステップと、

(c) 前記情報処理端末において、前記受信デジタル信号を前記クロックに同期して受信するステップと、

10 (d) 前記情報処理端末において、送信データを含む送信デジタル信号を前記クロックに同期して送信するステップと、

(e) 前記送受信装置において、前記送信デジタル信号を前記クロックに同期して送信アナログベースバンド信号に変換するステップと、

(f) 前記送受信装置において、前記送信アナログベースバンド信号を送信変調波信号に変換するステップと、

15 (g) 前記送受信装置において、前記変換された送信変調波信号を前記ネットワークに送出するステップとを有する情報処理端末の送受信方法。

18. 請求の範囲第17項に記載の情報処理端末の送受信方法において、
20 前記(b)ステップは、

(b1) 前記送受信装置において、前記受信アナログベースバンド信号を前記受信デジタル信号としての受信デジタルベースバンド信号に変換するステップを備え、

前記(c)ステップは、

25 (c1) 前記情報処理端末において、前記受信デジタルベースバンド信号を前記受信データに変換するステップを備え、

前記(d)ステップは、

(d 1) 前記情報処理端末において、前記送信データを前記送信デジタル信号としての送信デジタルベースバンド信号に変換するステップを備え、

前記 (e) ステップは、

- 5 (e 1) 前記送受信装置において、前記送信デジタルベースバンド信号を前記送信アナログベースバンド信号に変換するステップを備える情報処理端末の送受信方法。

19. 請求の範囲第 17 項に記載の情報処理端末の送受信方法において、

- 10 前記 (b) ステップは、

(b 2) 前記送受信装置において、前記受信アナログベースバンド信号を前記受信デジタル信号としての前記受信データに変換するステップを備え、

前記 (c) ステップは、

- 15 (c 2) 前記情報処理端末において、前記受信データを受信するステップを備え、

前記 (d) ステップは、

(d 2) 前記情報処理端末において、前記送信デジタル信号としての前記送信データを前記送受信装置に出力するステップを備え、

- 20 前記 (e) ステップは、

(e 2) 前記送受信装置において、前記送信データを送信アナログベースバンド信号に変換するステップを備える

情報処理端末の送受信方法。

- 25 20. 着脱可能な送受信装置が装着された情報処理端末の送受信方法であって、

(h) 前記送受信装置において、前記ネットワークからの受信変調波

信号を復調し、受信アナログベースバンド信号に変換するステップと、

(i) 前記送受信装置において、前記受信アナログベースバンド信号を受信デジタルベースバンド信号に変換するステップと、

5 (j) 前記情報処理端末において、前記受信デジタルベースバンド信号を受信データに変換するステップと、

(k) 前記情報処理端末において、送信データを前記送信デジタルベースバンド信号に変換するステップと、

(l) 前記送受信装置において、前記送信デジタルベースバンド信号を送信アナログベースバンド信号に変換するステップと、

10 (m) 前記送受信装置において、前記送信アナログベースバンド信号を送信変調波信号に変換するステップと、

(n) 前記送受信装置において、前記送信変調波信号を前記ネットワークに送出するステップとを有する情報処理端末の送受信方法。

15 21. 情報処理端末と、前記情報処理端末に着脱可能な送受信装置とを具備する情報処理端末システムに使用する前記送受信装置であって、

送受信処理部と、

復調部と、

変調部と、

20 ベースバンド処理部とを備え、

前記送受信装置が前記情報処理端末に装着されているときに、

前記送受信処理部は、ネットワークからの受信変調波信号を前記復調部に出し、前記変調部からの送信変調波信号を前記ネットワークに送出し、

25 前記復調部は、前記送受信処理部からの前記受信変調波信号を受信アナログベースバンド信号に変換し、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を受

信デジタル信号に変換して前記情報処理端末に出力し、前記情報処理端末からの送信デジタル信号を送信アナログベースバンド信号に変換し、

前記変調部は、前記送信アナログベースバンド信号を前記送信変調波信号に変換し、

5 前記ベースバンド処理部と前記情報処理端末とは、クロックにより同期して動作し、

前記受信デジタル信号は、受信データを含み、

前記送信デジタル信号は、送信データを含む

送受信装置。

10

2 2. 請求の範囲第 2 1 項に記載の送受信装置において、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を前記受信デジタル信号としての受信デジタルベースバンド信号に変換して前記情報処理端末に出力し、前記情報処理端末からの前記送信デジタル

15 信号としての送信デジタルベースバンド信号を前記送信アナログベースバンド信号に変換し、

前記情報処理端末は、前記ベースバンド処理部からの前記受信デジタルベースバンド信号を受信データに変換し、前記送信データを前記送信デジタルベースバンド信号に変換する

20 送受信装置。

2 3. 請求の範囲第 2 1 項に記載の送受信装置において、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を前記受信デジタル信号としての受信データに変換して前記情報処理端末に
25 出力し、前記情報処理端末からの前記送信デジタル信号としての送信データを送信アナログベースバンド信号に変換する

送受信装置。

24. 情報処理端末と、前記情報処理端末に着脱可能な送受信装置とを具備する情報処理端末システムに使用する前記情報処理端末であって、前記送受信装置は、

5 送受信処理部と、
復調部と、
変調部と、

ベースバンド処理部とを備え、

前記送受信装置が前記情報処理端末に装着されているときに、

10 前記送受信処理部は、ネットワークからの受信変調波信号を前記復調部に出し、前記変調部からの送信変調波信号を前記ネットワークに送出し、

前記復調部は、前記送受信処理部からの前記受信変調波信号を受信アナログベースバンド信号に変換し、

15 前記ベースバンド処理部は、前記受信アナログベースバンド信号を受信デジタル信号に変換して前記情報処理端末に出し、前記情報処理端末からの送信デジタル信号を送信アナログベースバンド信号に変換し、

前記変調部は、前記送信アナログベースバンド信号を前記送信変調波信号に変換し、

20 前記ベースバンド処理部と前記情報処理端末とは、クロックにより同期して動作し、

前記受信デジタル信号は、受信データを含み、

前記送信デジタル信号は、送信データを含む

情報処理端末。

25

25. 請求の範囲第24項に記載の情報処理端末において、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を前

記受信デジタル信号としての受信デジタルベースバンド信号に変換して前記情報処理端末に出力し、前記情報処理端末からの前記送信デジタル信号としての送信デジタルベースバンド信号を前記送信アナログベースバンド信号に変換し、

- 5 前記情報処理端末は、前記ベースバンド処理部からの前記受信デジタルベースバンド信号を受信データに変換し、前記送信データを前記送信デジタルベースバンド信号に変換する
情報処理端末。

- 10 26. 請求の範囲第24項に記載の情報処理端末において、
前記ベースバンド処理部は、前記受信アナログベースバンド信号を前記受信デジタル信号としての受信データに変換して前記情報処理端末に出力し、前記情報処理端末からの前記送信デジタル信号としての送信データを送信アナログベースバンド信号に変換する
15 情報処理端末。

27. 情報処理端末と、前記情報処理端末に着脱可能な送受信装置とを具備する情報処理端末システムに使用する前記送受信装置であって、

- 送受信処理部と、
20 復調部と、
変調部と、
ベースバンド処理部とを備え、
前記送受信装置が前記情報処理端末に装着されているときに、
前記送受信処理部は、前記ネットワークからの受信変調波信号を前記
25 復調部に出力し、前記変調部からの送信変調波信号を前記ネットワーク
に送出し、

前記復調部は、前記送受信処理部からの前記受信変調波信号を受信ア

ナログベースバンド信号に変換し、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を受信デジタルベースバンド信号に変換し、前記情報処理端末からの送信デジタルベースバンド信号を送信アナログベースバンド信号に変換し、

- 5 前記変調部は、前記送信アナログベースバンド信号を前記送信変調波信号に変換し、

前記情報処理端末は、前記ベースバンド処理部からの前記受信デジタルベースバンド信号を受信データに変換し、送信データを前記送信デジタルベースバンド信号に変換する

- 10 送受信装置。

28. 情報処理端末と、前記情報処理端末に着脱可能な送受信装置とを具備する情報処理端末システムに使用する前記情報処理端末であって、

前記送受信装置は、

- 15 送受信処理部と、

復調部と、

変調部と、

ベースバンド処理部とを備え、

前記送受信装置が前記情報処理端末に装着されているときに、

- 20 前記送受信処理部は、前記ネットワークからの受信変調波信号を前記復調部に出力し、前記変調部からの送信変調波信号を前記ネットワークに送出し、

前記復調部は、前記送受信処理部からの前記受信変調波信号を受信アナログベースバンド信号に変換し、

- 25 前記ベースバンド処理部は、前記受信アナログベースバンド信号を受信デジタルベースバンド信号に変換し、前記情報処理端末からの送信デジタルベースバンド信号を送信アナログベースバンド信号に変換し、

前記変調部は、前記送信アナログベースバンド信号を前記送信変調波信号に変換し、

前記情報処理端末は、前記ベースバンド処理部からの前記受信デジタルベースバンド信号を受信データに変換し、送信データを前記送信デジ

5 タルベースバンド信号に変換する

情報処理端末システムに使用する情報処理端末。

Fig. 1

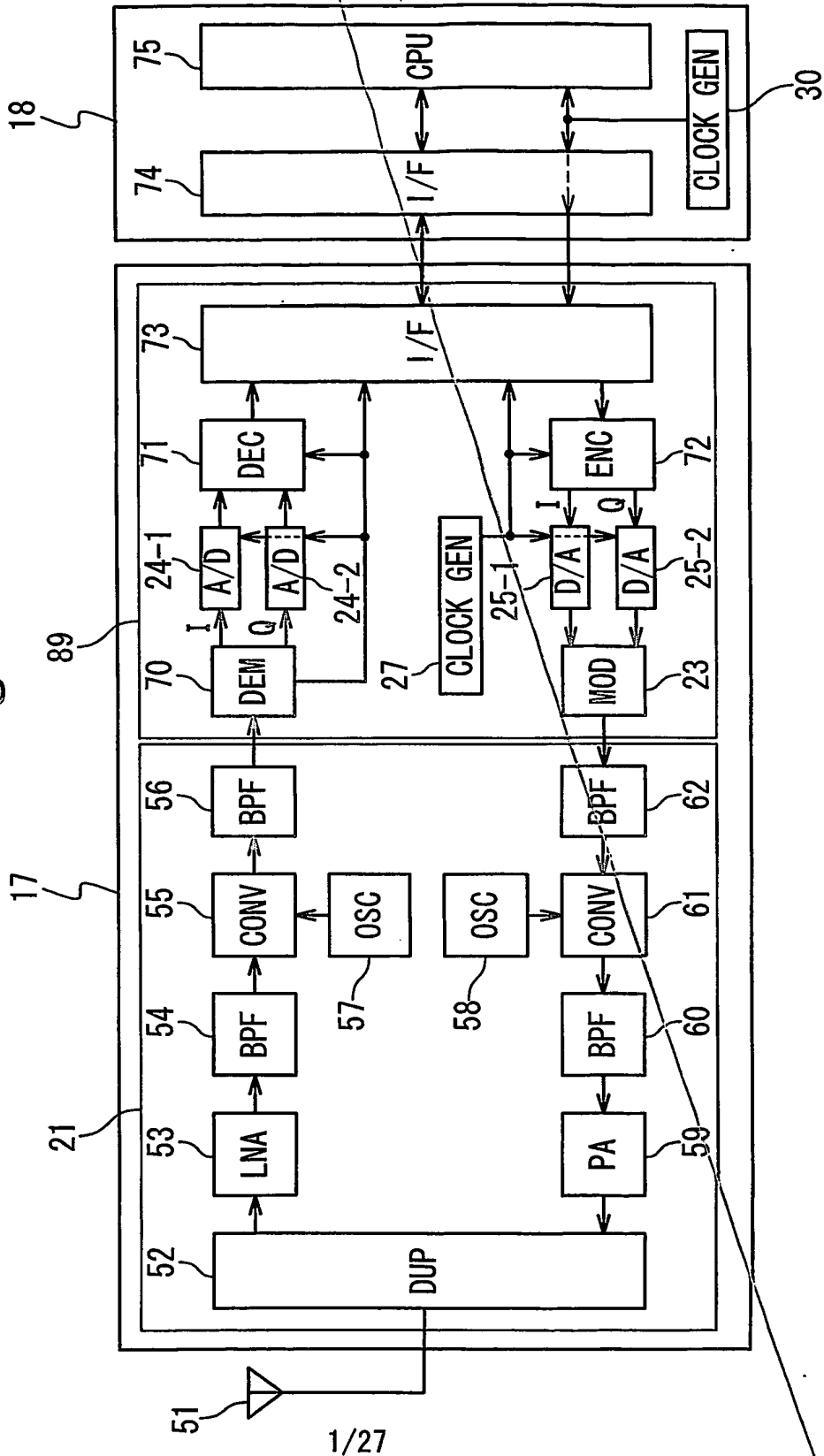


Fig. 2

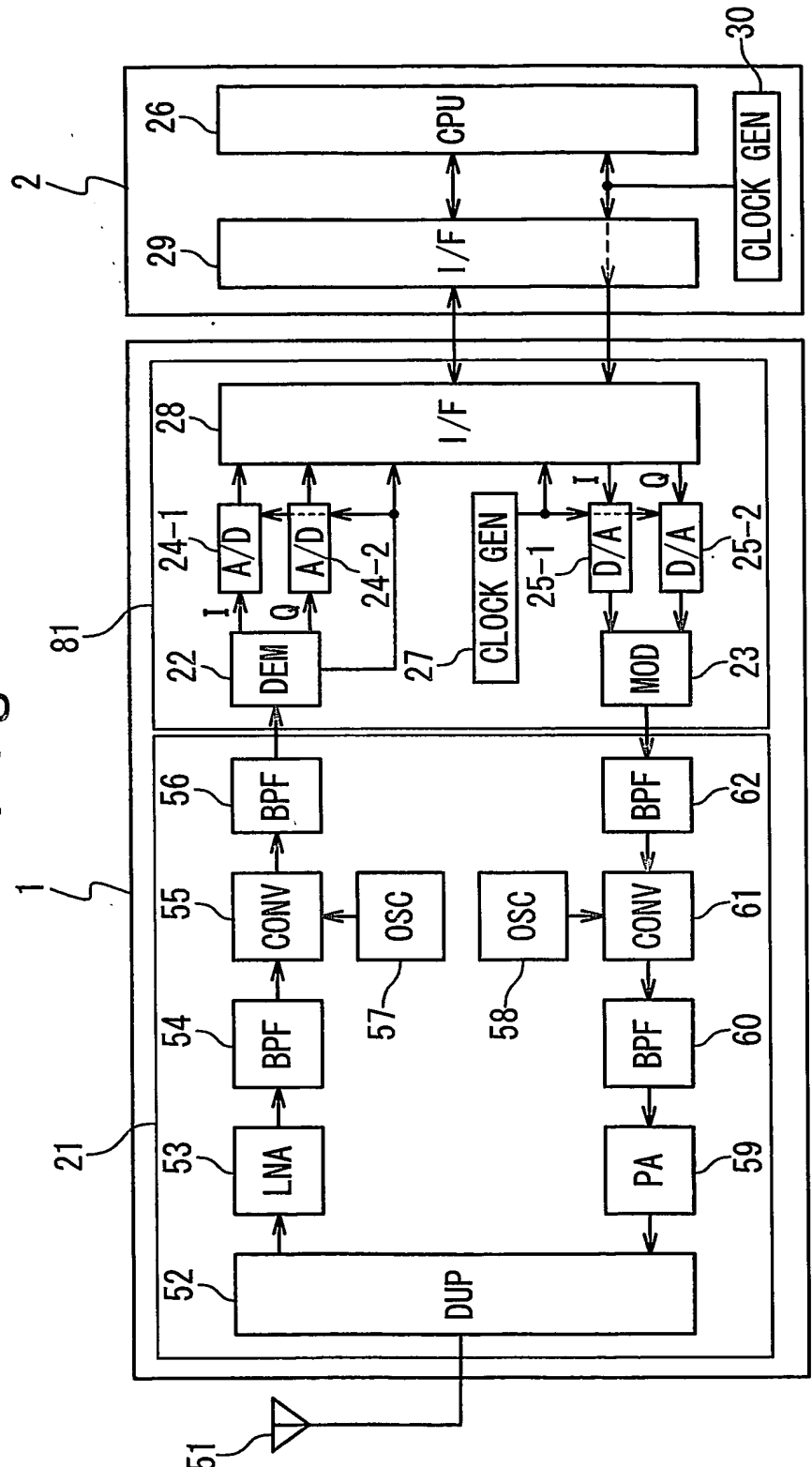
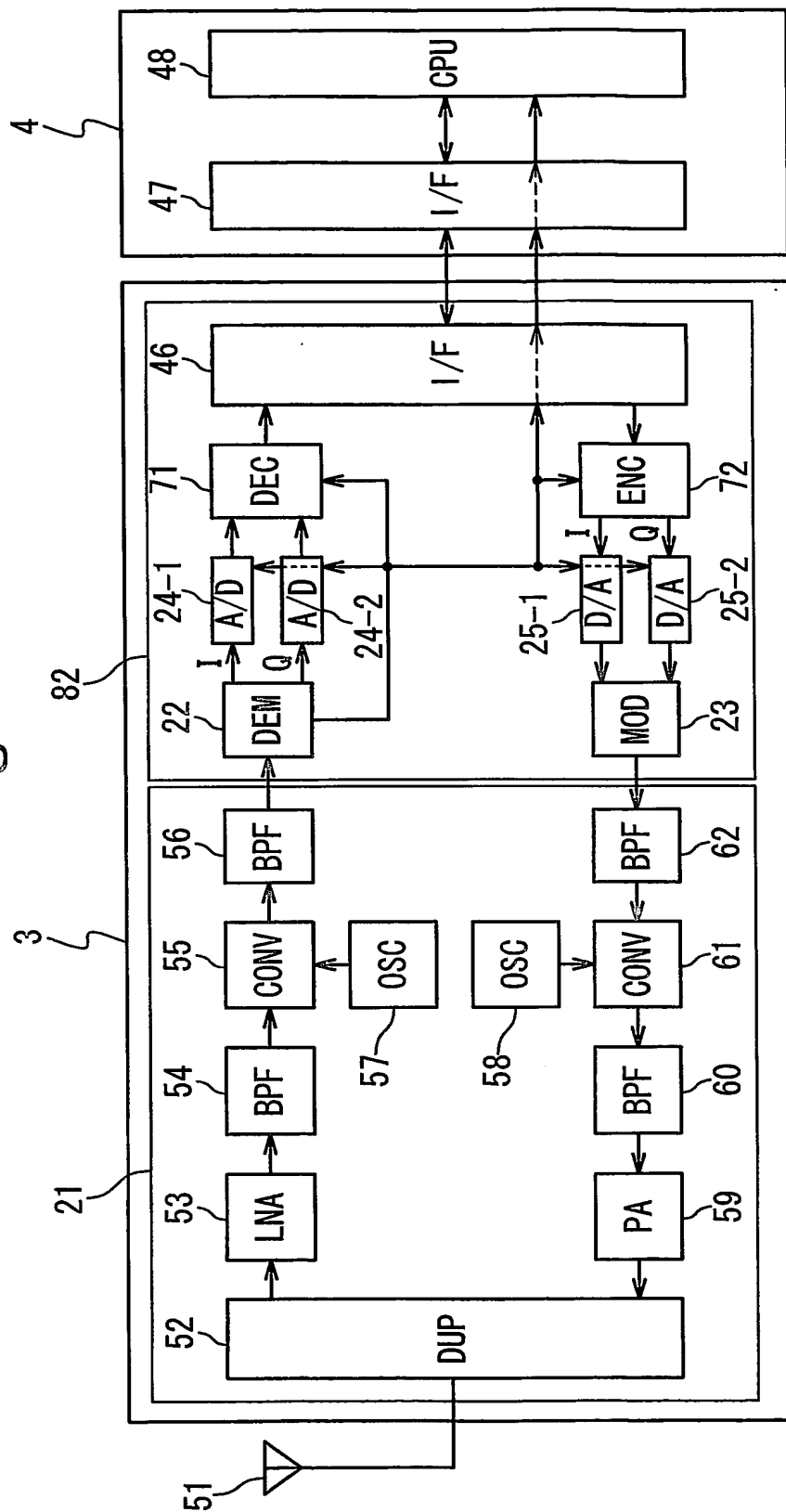


Fig. 3



7
 8
 9
 10
 11
 12

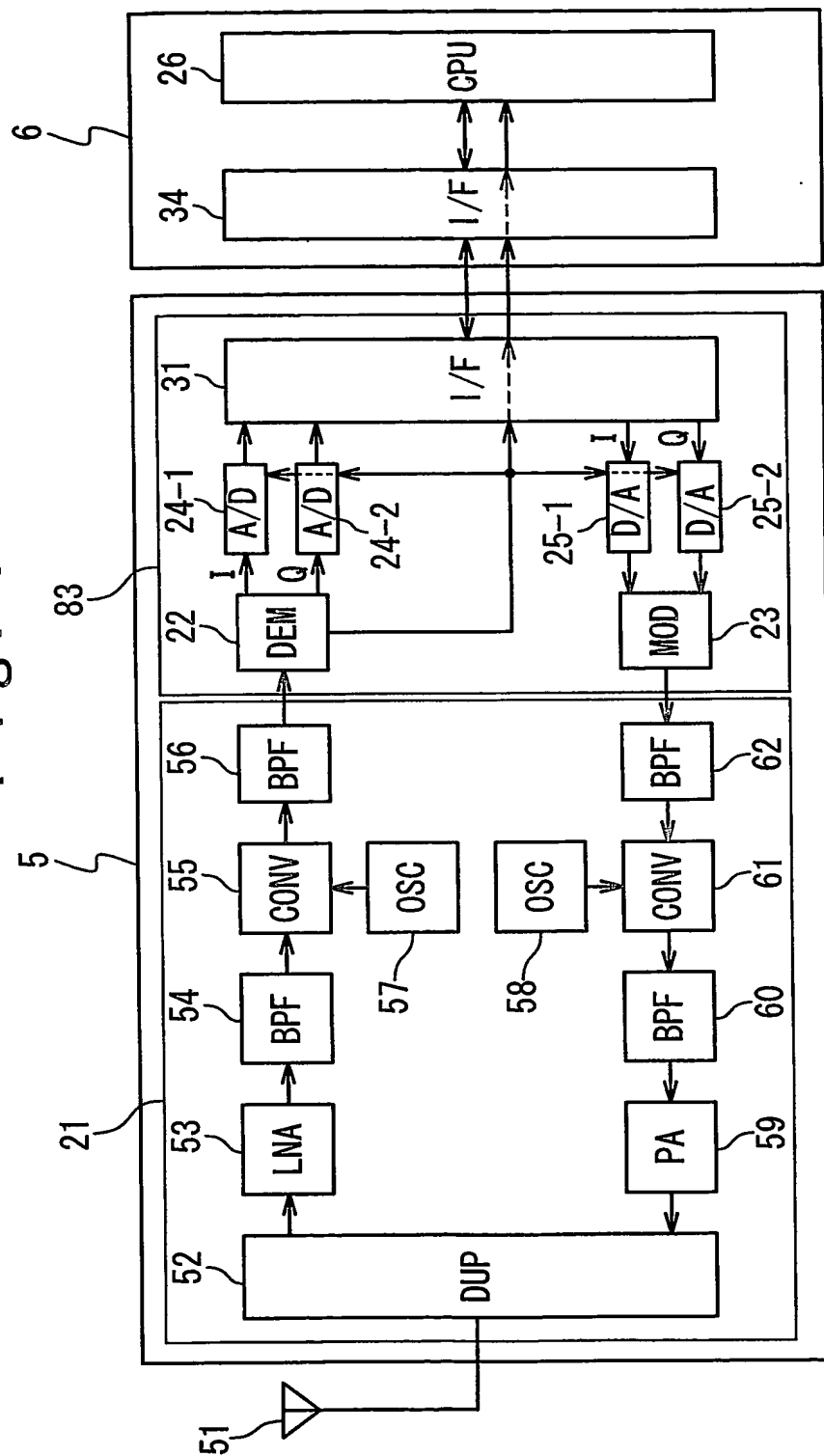


Fig. 5

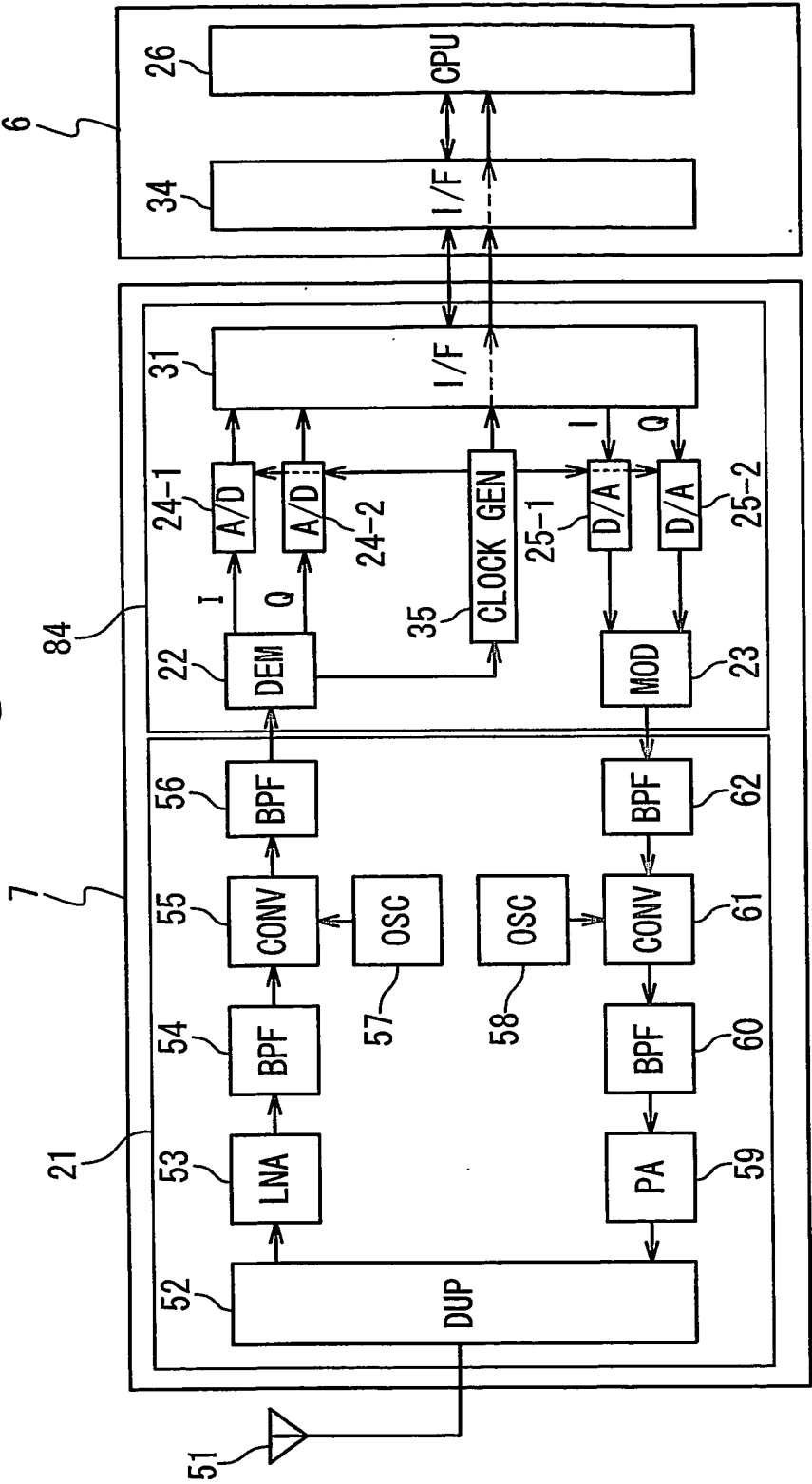


Fig. 6

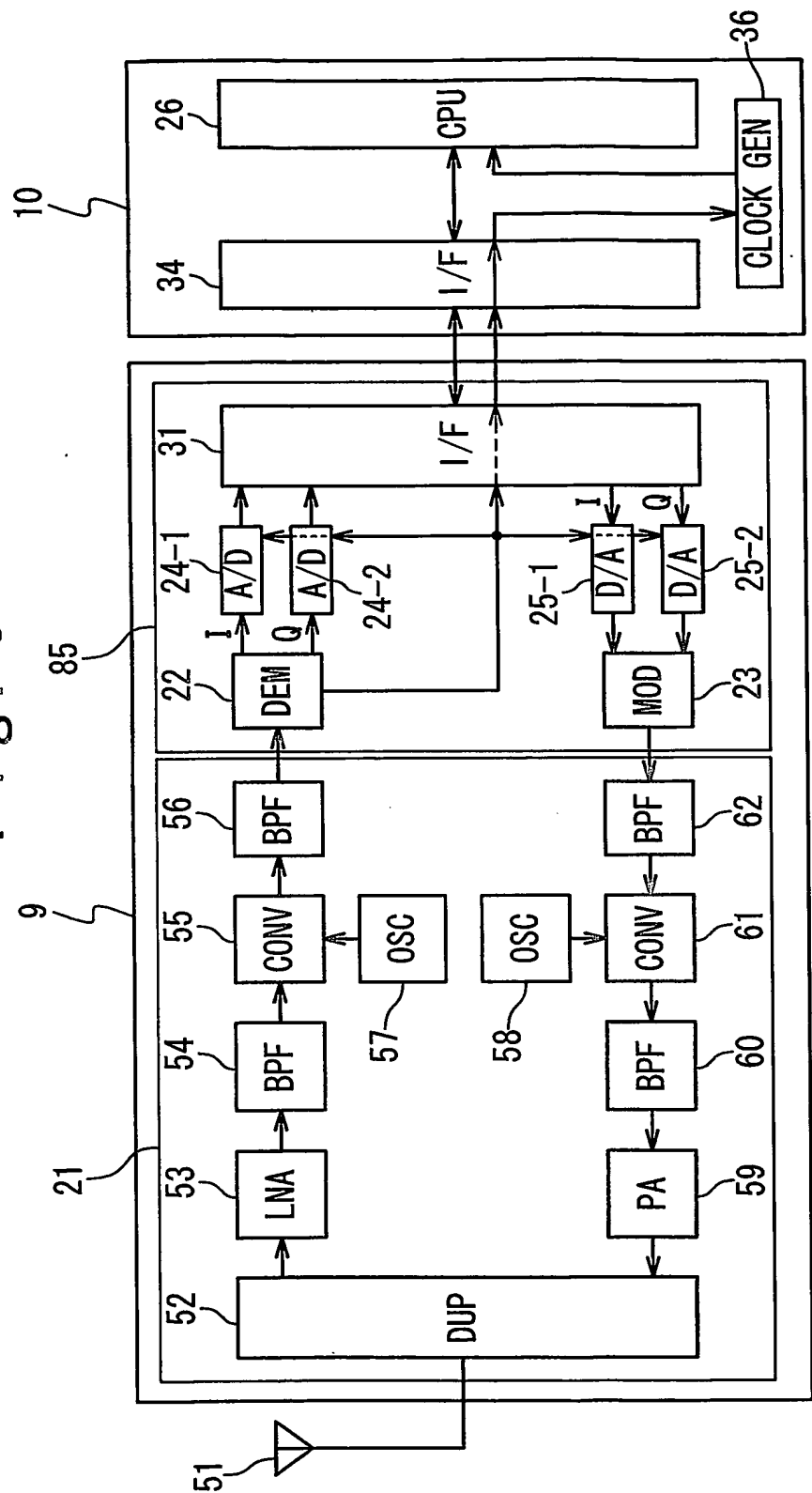


Fig. 7

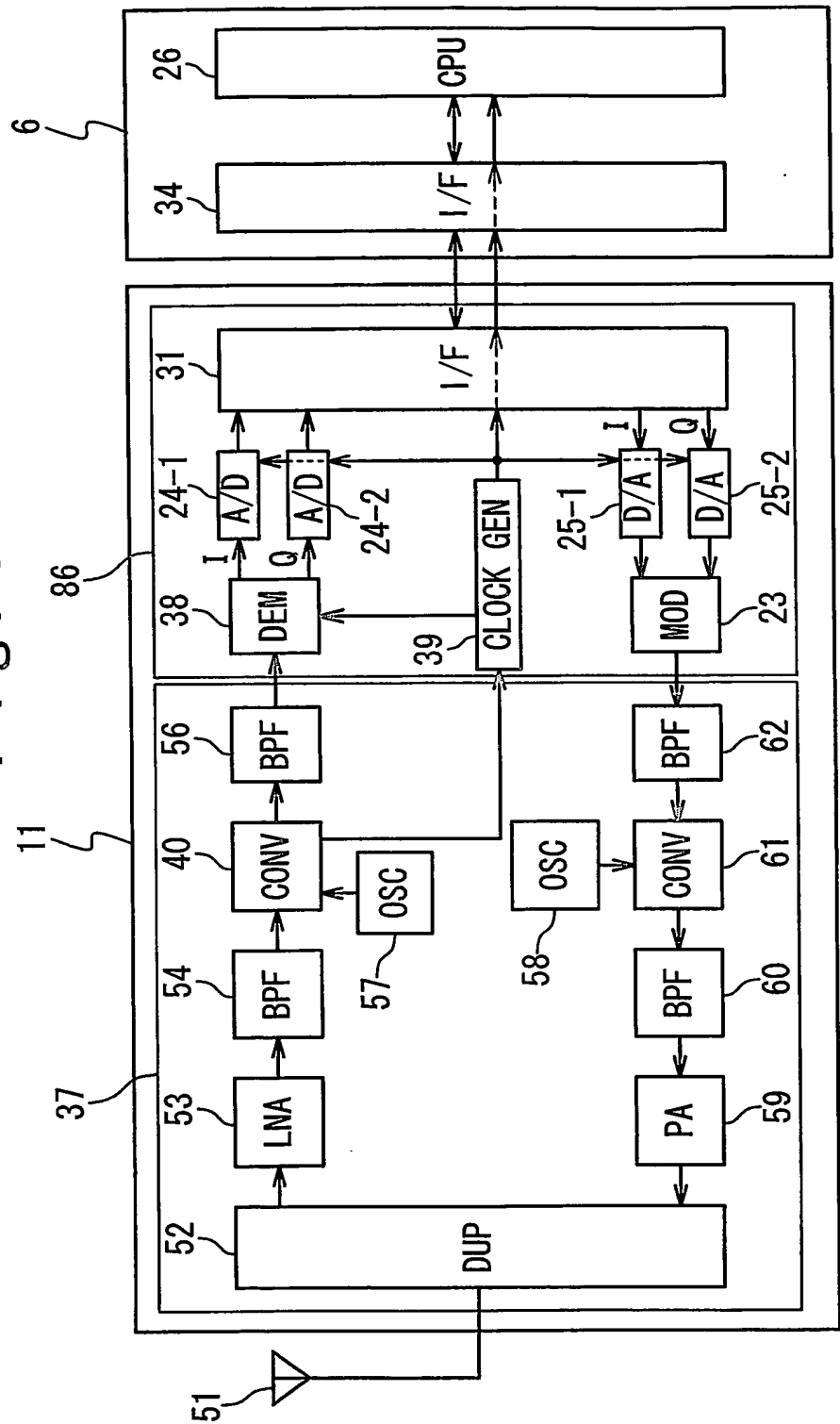


Fig. 8

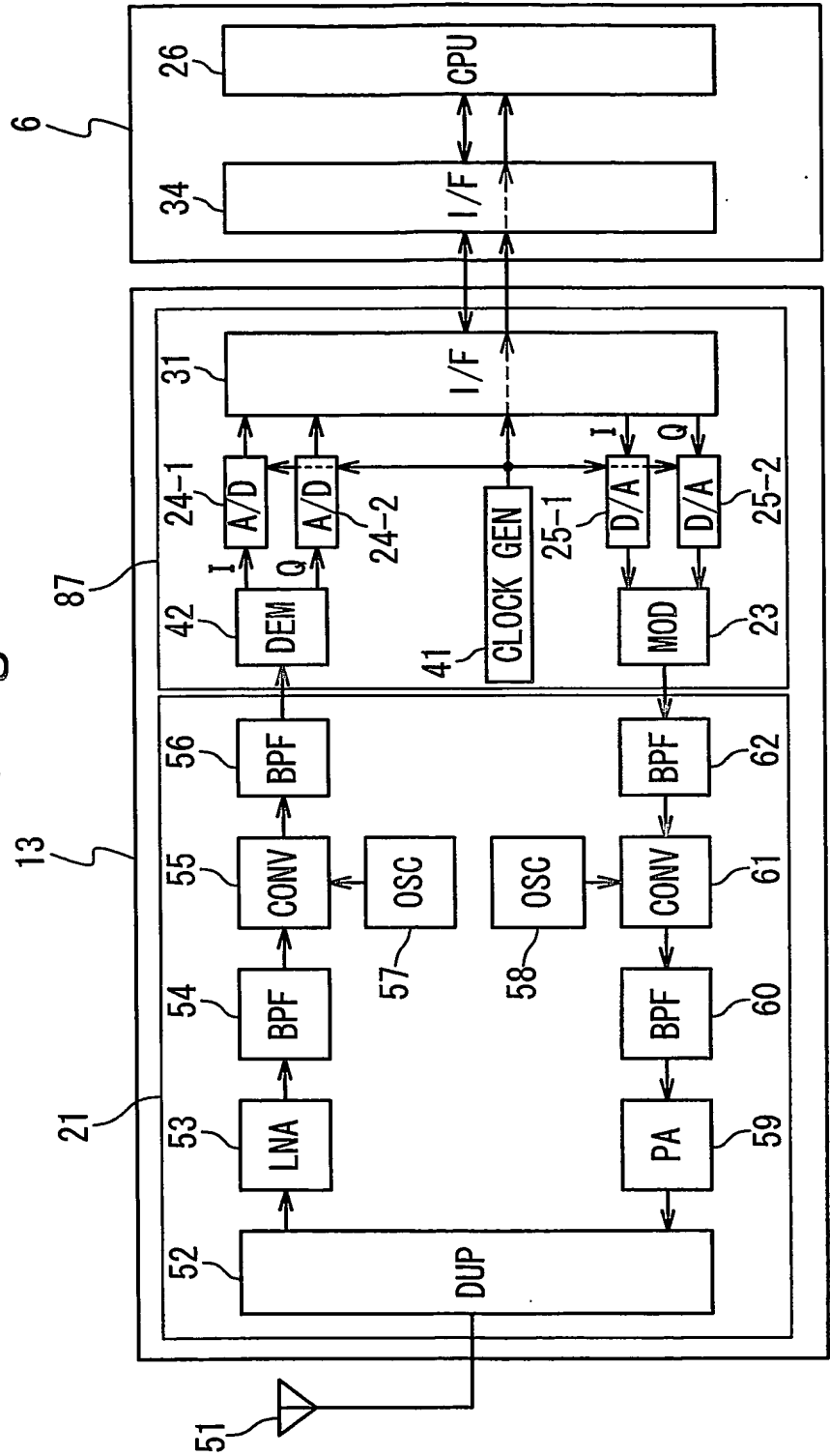


Fig. 9

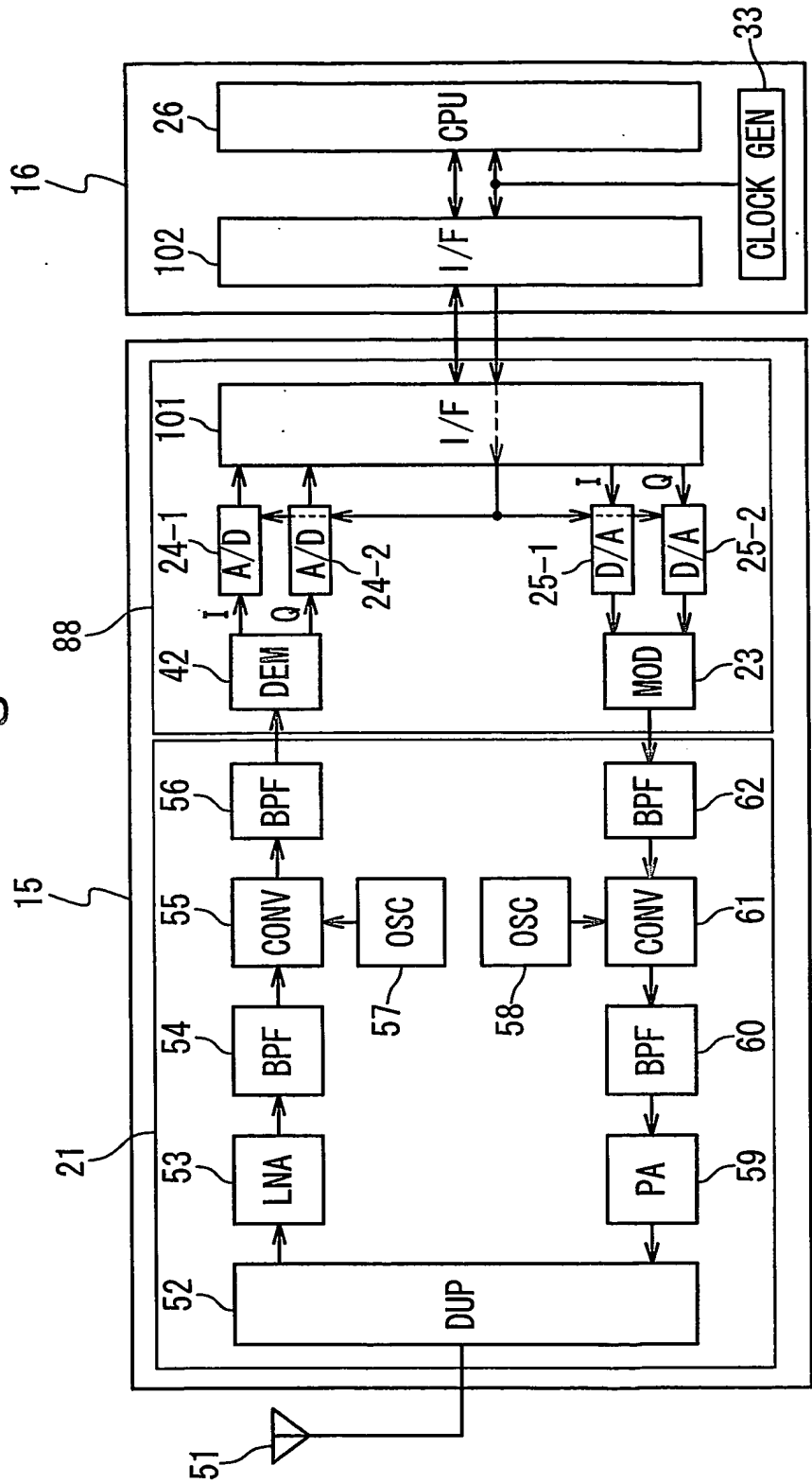
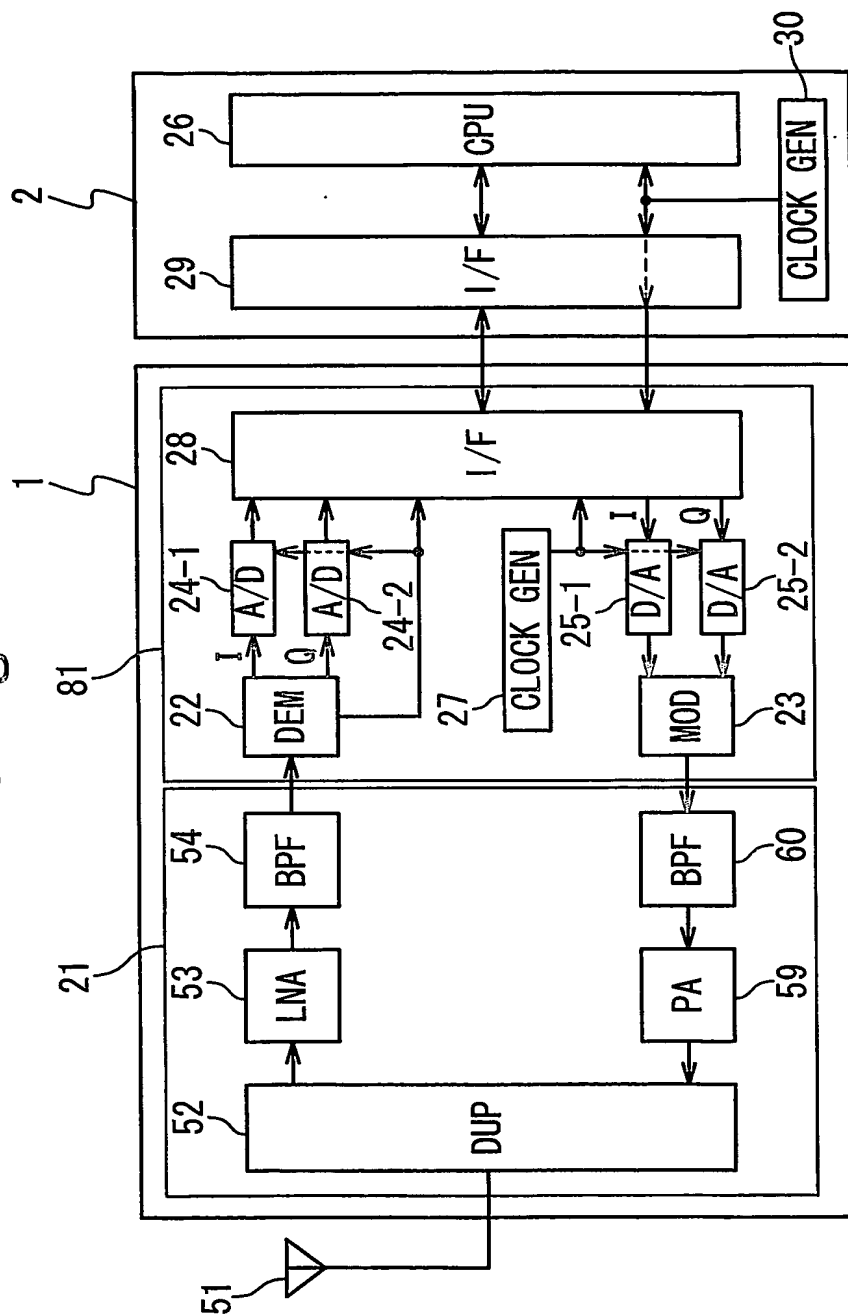


Fig. 10



1
 2
 3
 4
 5
 6
 7
 8
 9
 10
 11
 12
 13
 14
 15
 16
 17
 18
 19
 20
 21
 22
 23
 24
 25
 26
 27
 28
 29
 30
 31
 32
 33
 34
 35
 36
 37
 38
 39
 40
 41
 42
 43
 44
 45
 46
 47
 48
 49
 50
 51
 52
 53
 54
 55
 56
 57
 58
 59
 60
 61
 62
 63
 64
 65
 66
 67
 68
 69
 70
 71
 72
 73
 74
 75
 76
 77
 78
 79
 80
 81
 82
 83
 84
 85
 86
 87
 88
 89
 90
 91
 92
 93
 94
 95
 96
 97
 98
 99
 100
 101
 102
 103
 104
 105
 106
 107
 108
 109
 110
 111
 112
 113
 114
 115
 116
 117
 118
 119
 120
 121
 122
 123
 124
 125
 126
 127
 128
 129
 130
 131
 132
 133
 134
 135
 136
 137
 138
 139
 140
 141
 142
 143
 144
 145
 146
 147
 148
 149
 150
 151
 152
 153
 154
 155
 156
 157
 158
 159
 160
 161
 162
 163
 164
 165
 166
 167
 168
 169
 170
 171
 172
 173
 174
 175
 176
 177
 178
 179
 180
 181
 182
 183
 184
 185
 186
 187
 188
 189
 190
 191
 192
 193
 194
 195
 196
 197
 198
 199
 200
 201
 202
 203
 204
 205
 206
 207
 208
 209
 210
 211
 212
 213
 214
 215
 216
 217
 218
 219
 220
 221
 222
 223
 224
 225
 226
 227
 228
 229
 230
 231
 232
 233
 234
 235
 236
 237
 238
 239
 240
 241
 242
 243
 244
 245
 246
 247
 248
 249
 250
 251
 252
 253
 254
 255
 256
 257
 258
 259
 260
 261
 262
 263
 264
 265
 266
 267
 268
 269
 270
 271
 272
 273
 274
 275
 276
 277
 278
 279
 280
 281
 282
 283
 284
 285
 286
 287
 288
 289
 290
 291
 292
 293
 294
 295
 296
 297
 298
 299
 300
 301
 302
 303
 304
 305
 306
 307
 308
 309
 310
 311
 312
 313
 314
 315
 316
 317
 318
 319
 320
 321
 322
 323
 324
 325
 326
 327
 328
 329
 330
 331
 332
 333
 334
 335
 336
 337
 338
 339
 340
 341
 342
 343
 344
 345
 346
 347
 348
 349
 350
 351
 352
 353
 354
 355
 356
 357
 358
 359
 360
 361
 362
 363
 364
 365
 366
 367
 368
 369
 370
 371
 372
 373
 374
 375
 376
 377
 378
 379
 380
 381
 382
 383
 384
 385
 386
 387
 388
 389
 390
 391
 392
 393
 394
 395
 396
 397
 398
 399
 400
 401
 402
 403
 404
 405
 406
 407
 408
 409
 410
 411
 412
 413
 414
 415
 416
 417
 418
 419
 420
 421
 422
 423
 424
 425
 426
 427
 428
 429
 430
 431
 432
 433
 434
 435
 436
 437
 438
 439
 440
 441
 442
 443
 444
 445
 446
 447
 448
 449
 450
 451
 452
 453
 454
 455
 456
 457
 458
 459
 460
 461
 462
 463
 464
 465
 466
 467
 468
 469
 470
 471
 472
 473
 474
 475
 476
 477
 478
 479
 480
 481
 482
 483
 484
 485
 486
 487
 488
 489
 490
 491
 492
 493
 494
 495
 496
 497
 498
 499
 500
 501
 502
 503
 504
 505
 506
 507
 508
 509
 510
 511
 512
 513
 514
 515
 516
 517
 518
 519
 520
 521
 522
 523
 524
 525

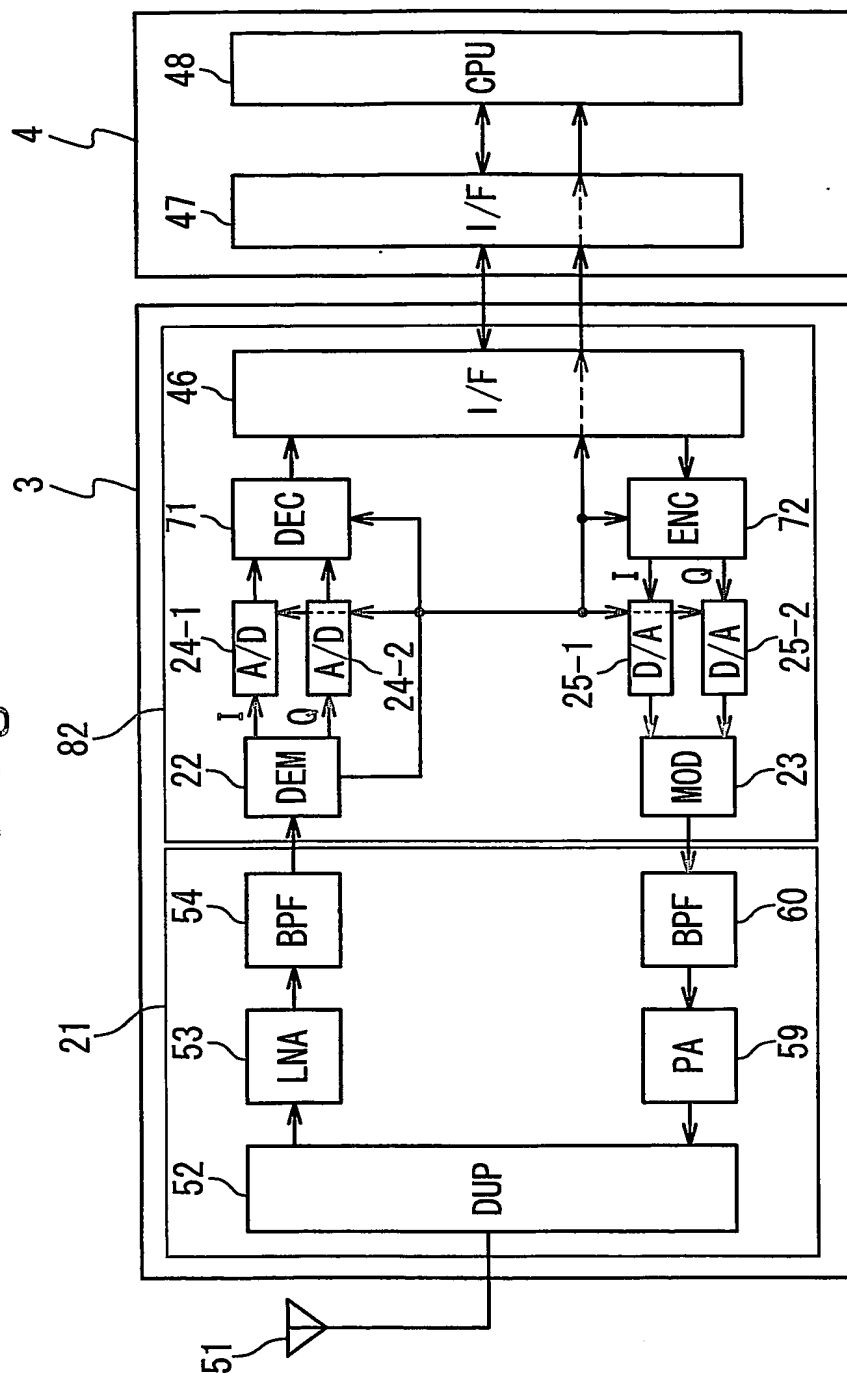


Fig. 12

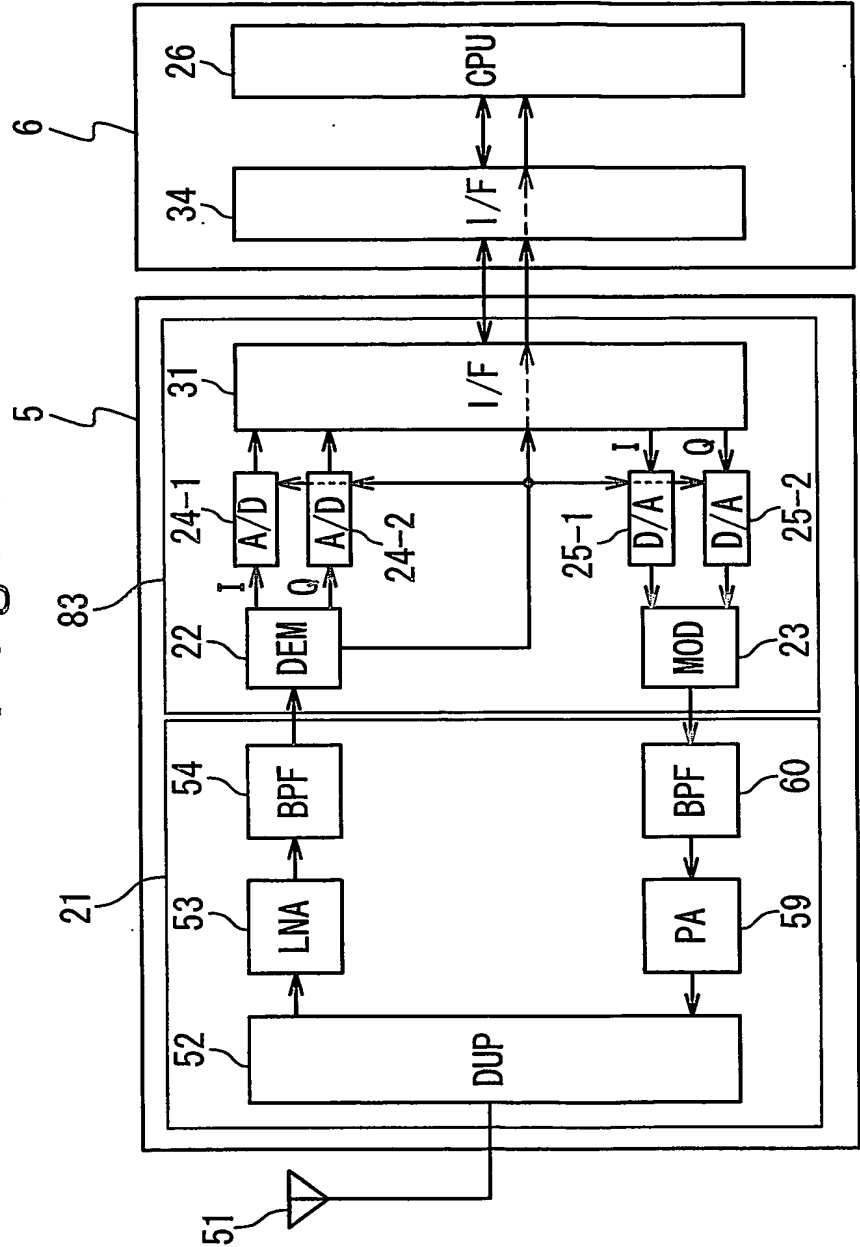


Fig. 13

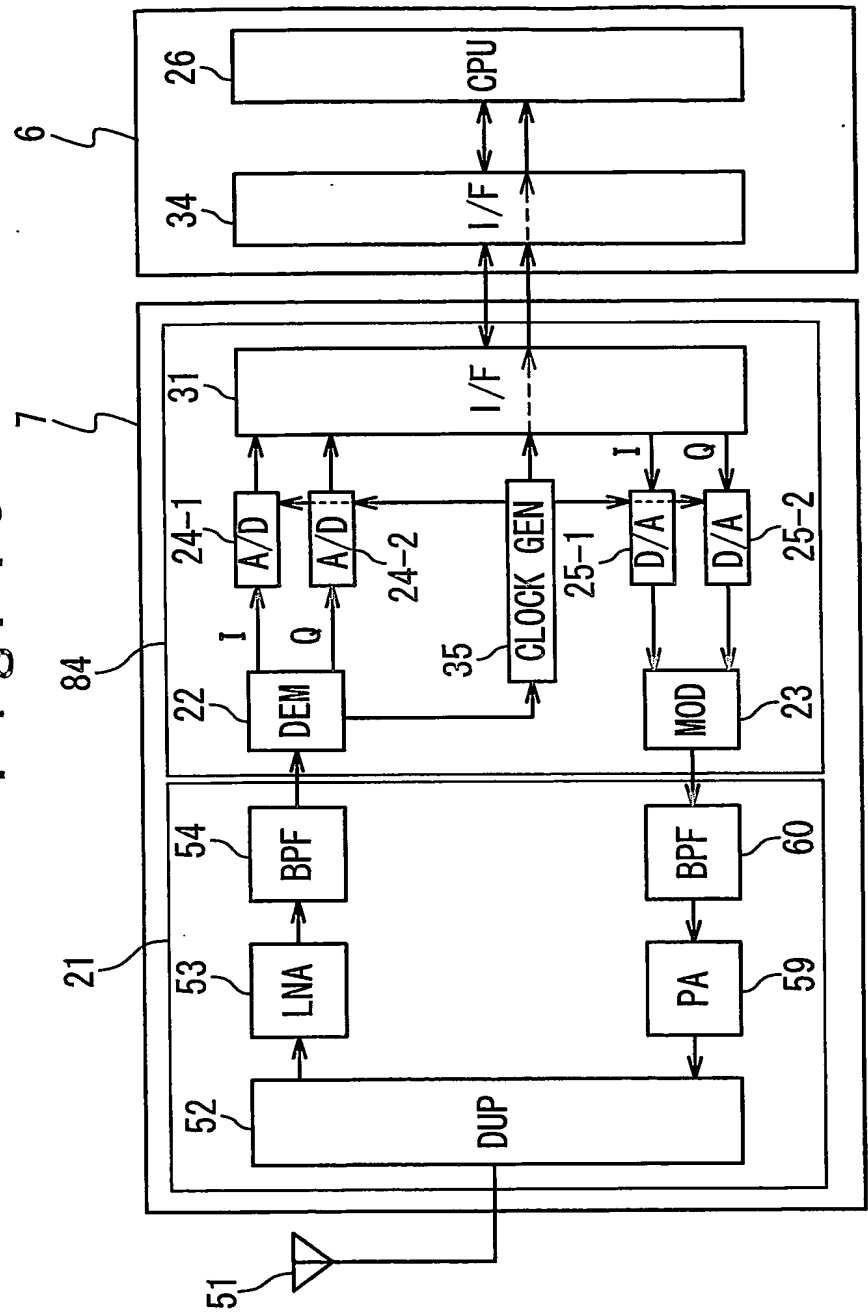


Fig. 14

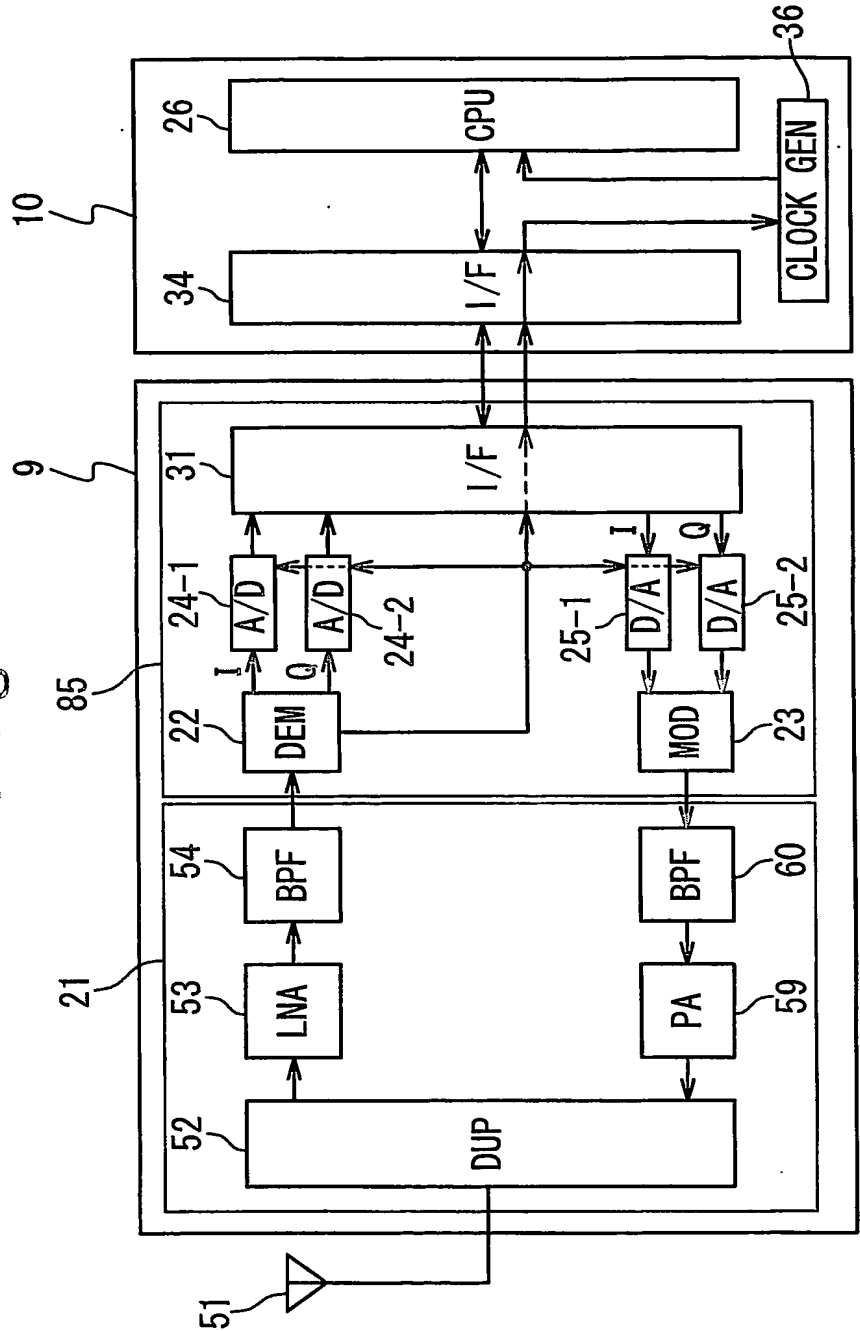


Fig. 15

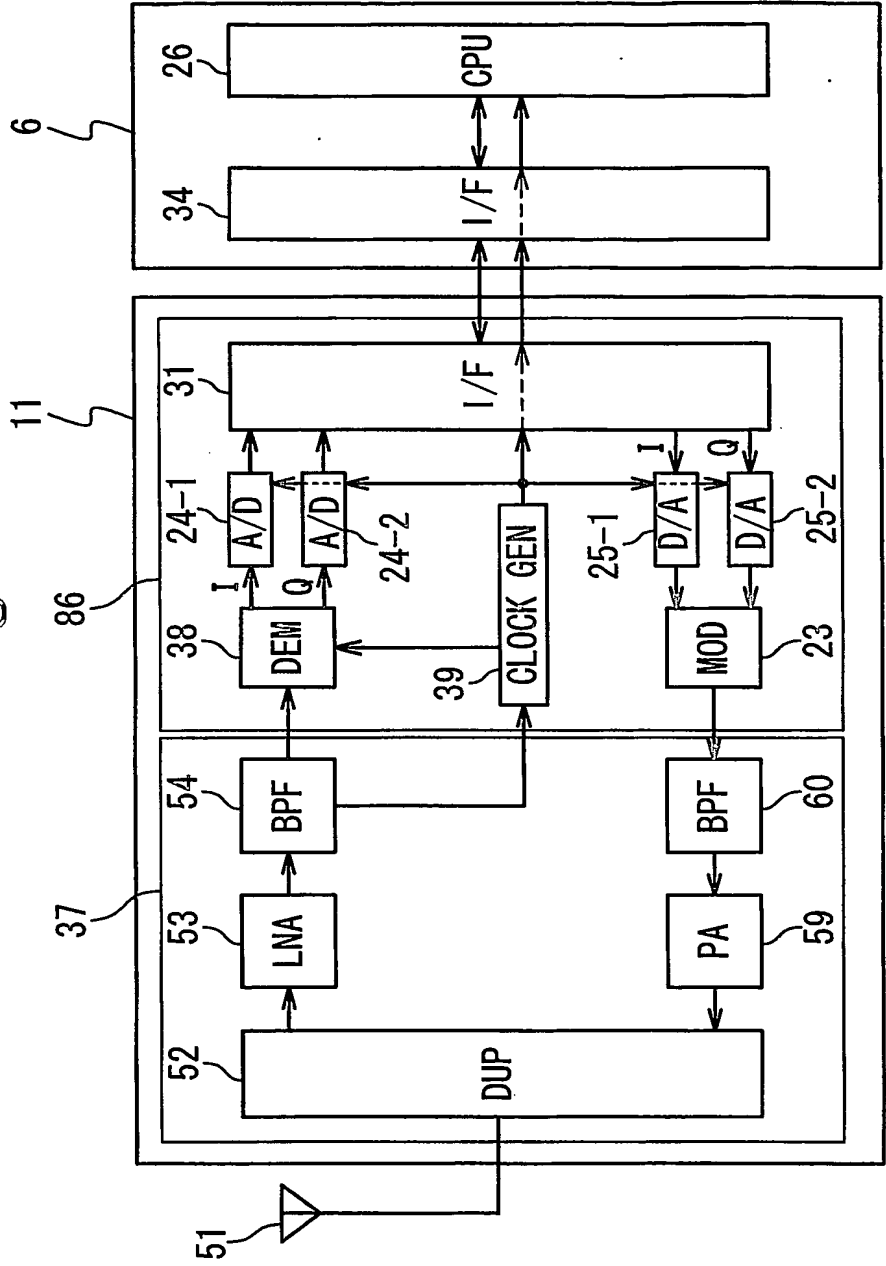


Fig. 16

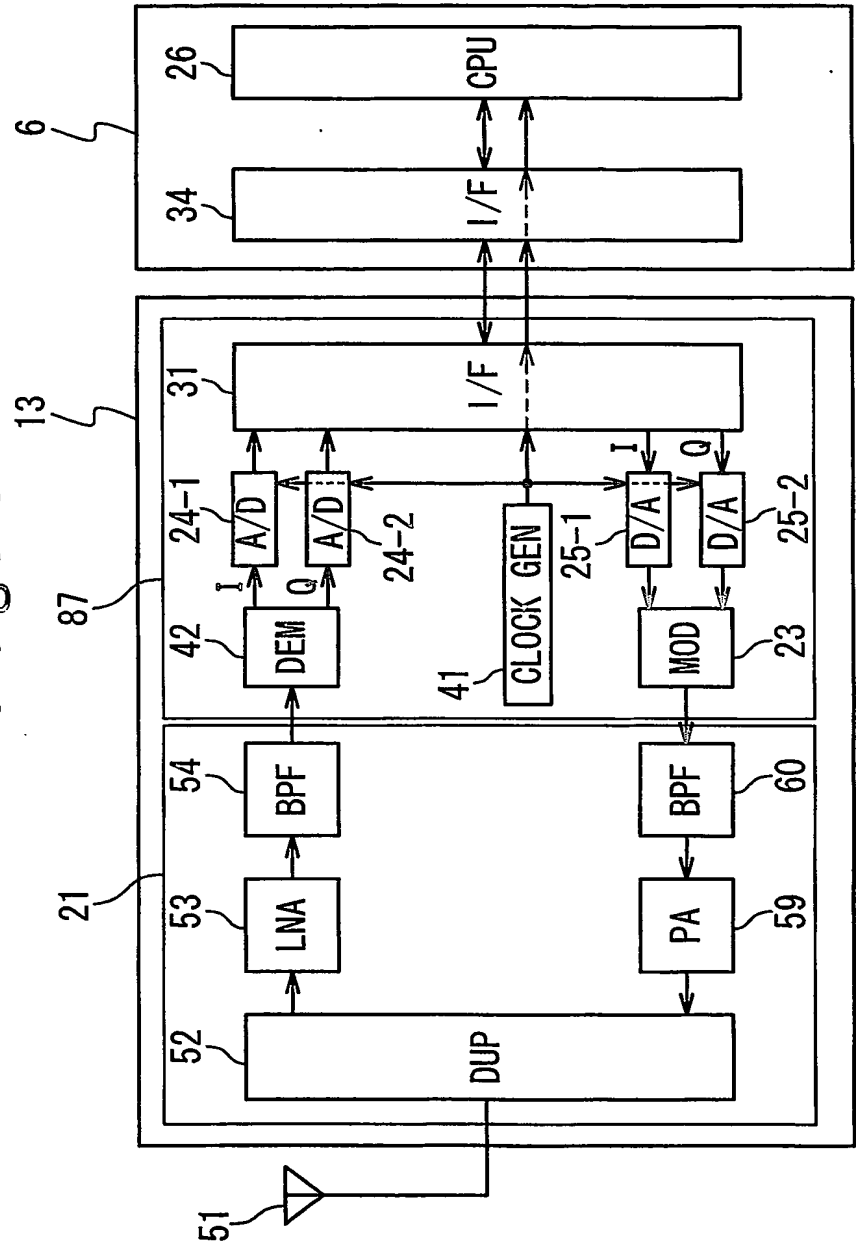


Fig. 17

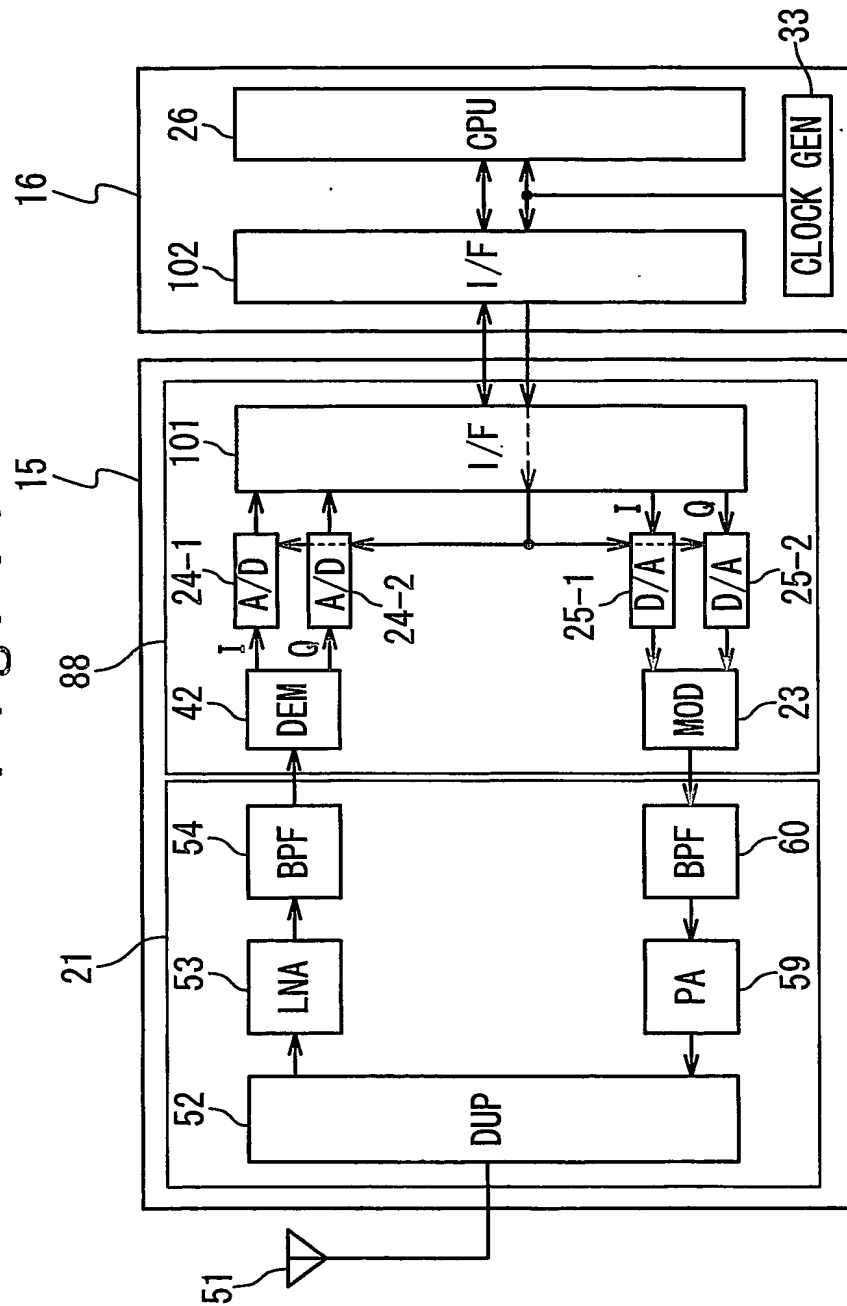


Fig. 18

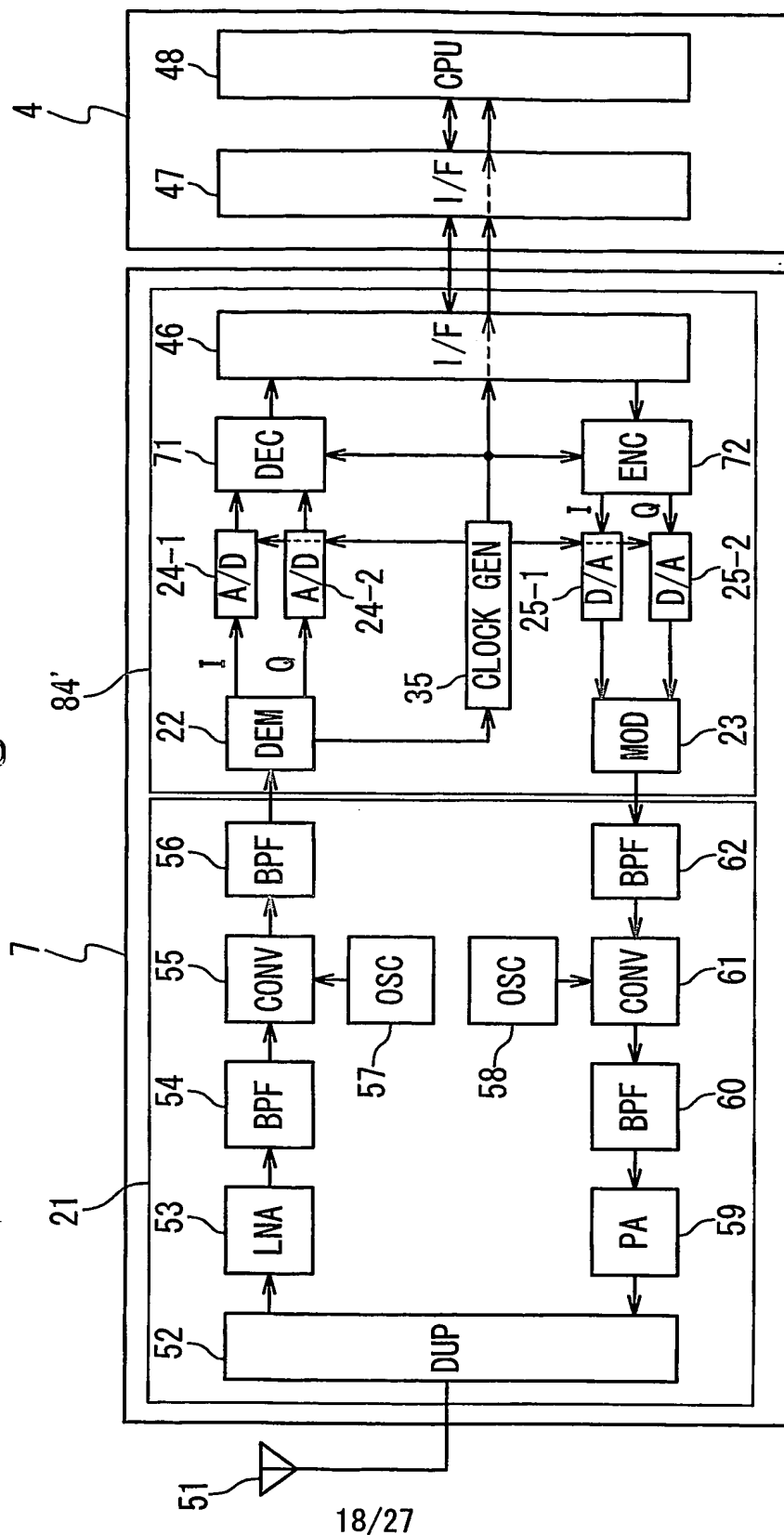


Fig. 19

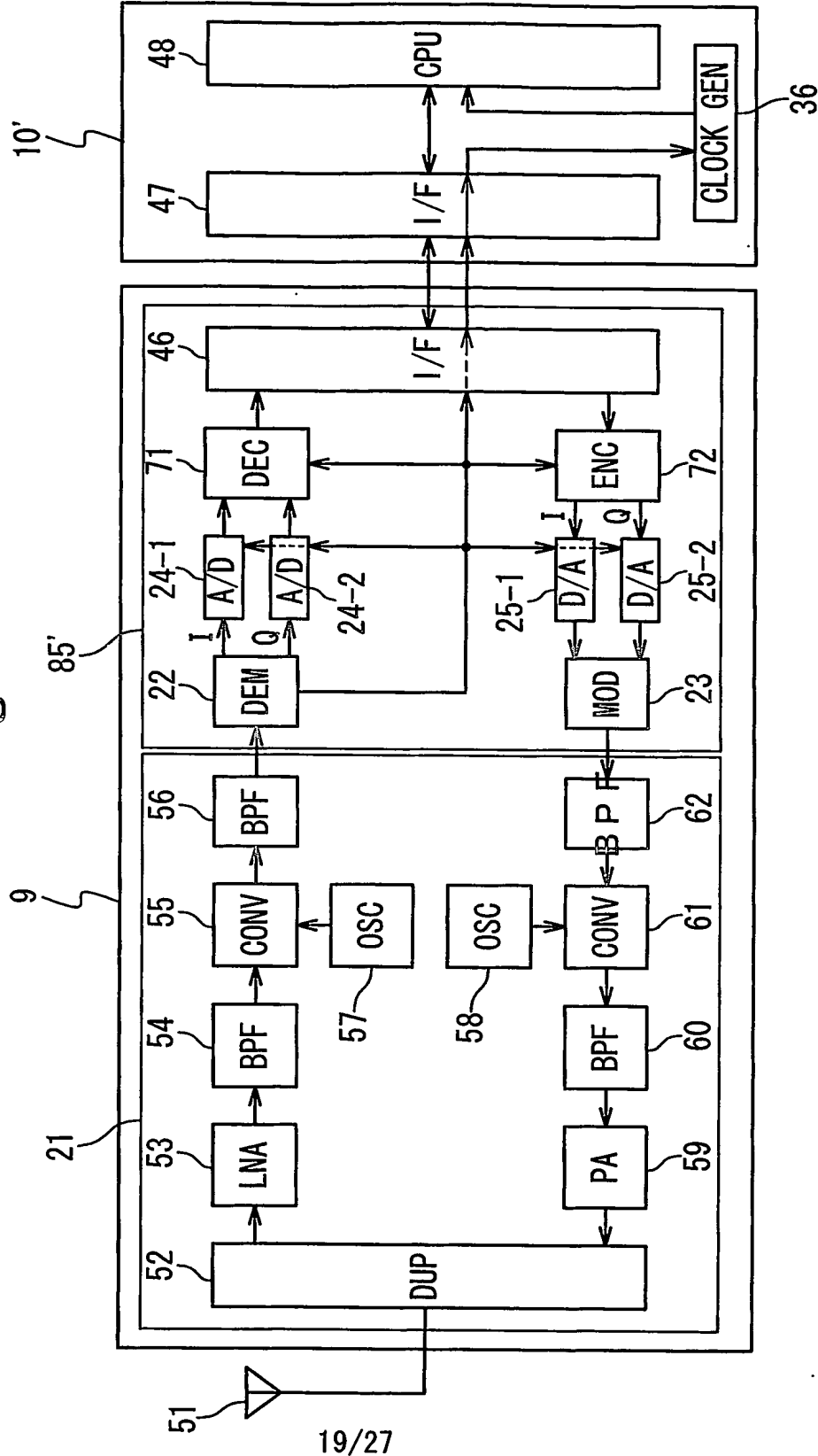


Fig. 20

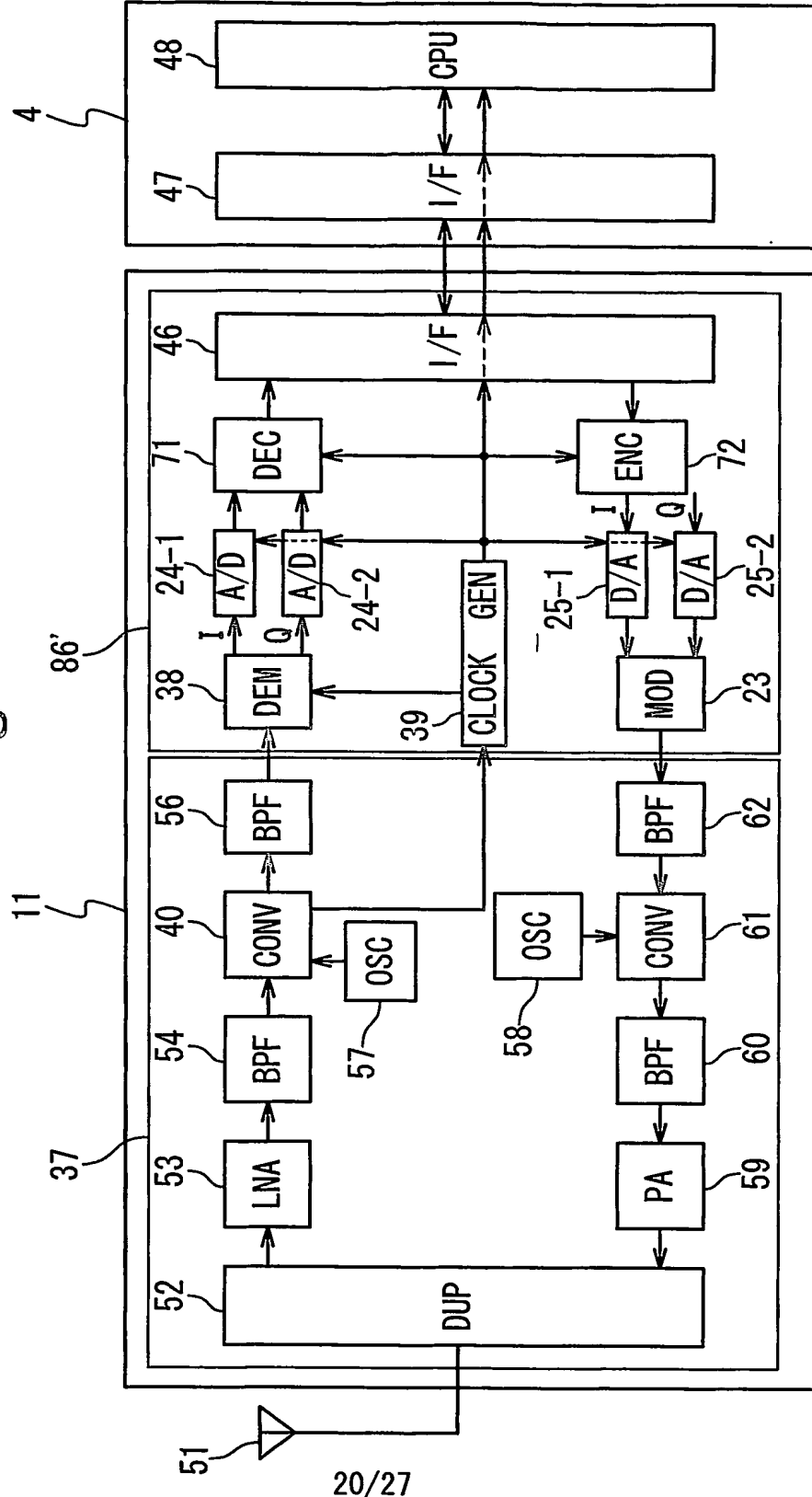


Fig. 21

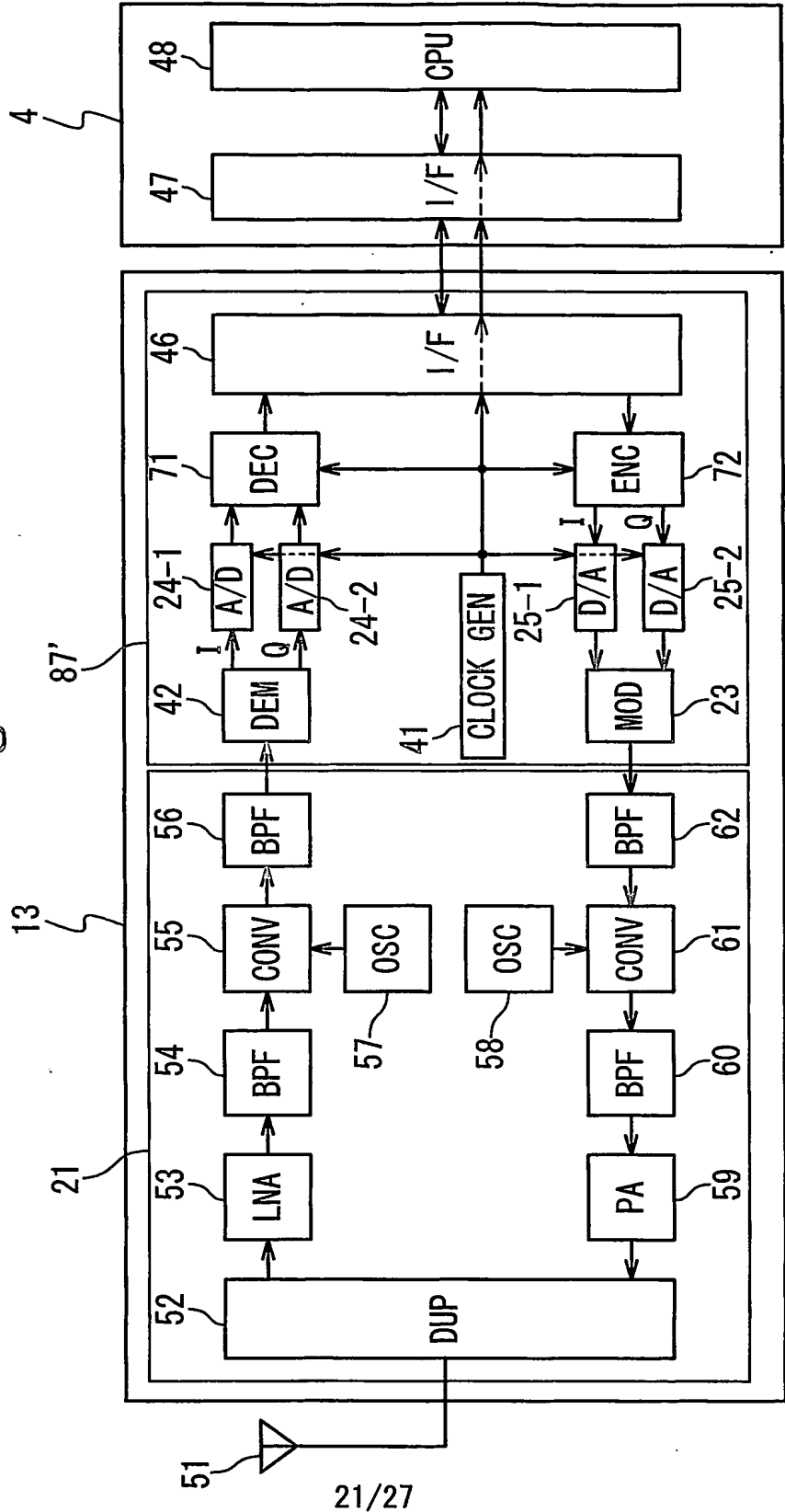


Fig. 22

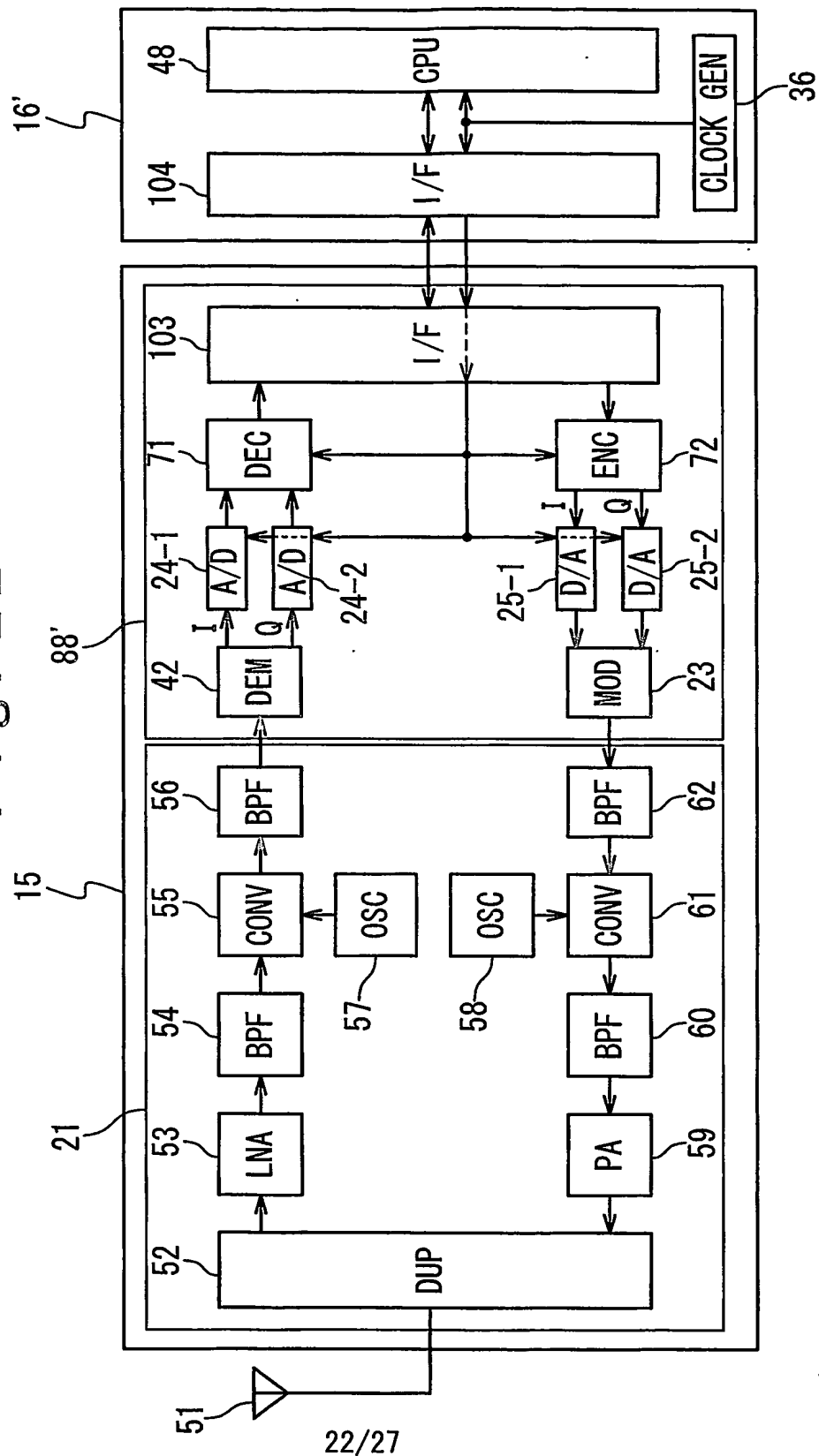


Fig. 23

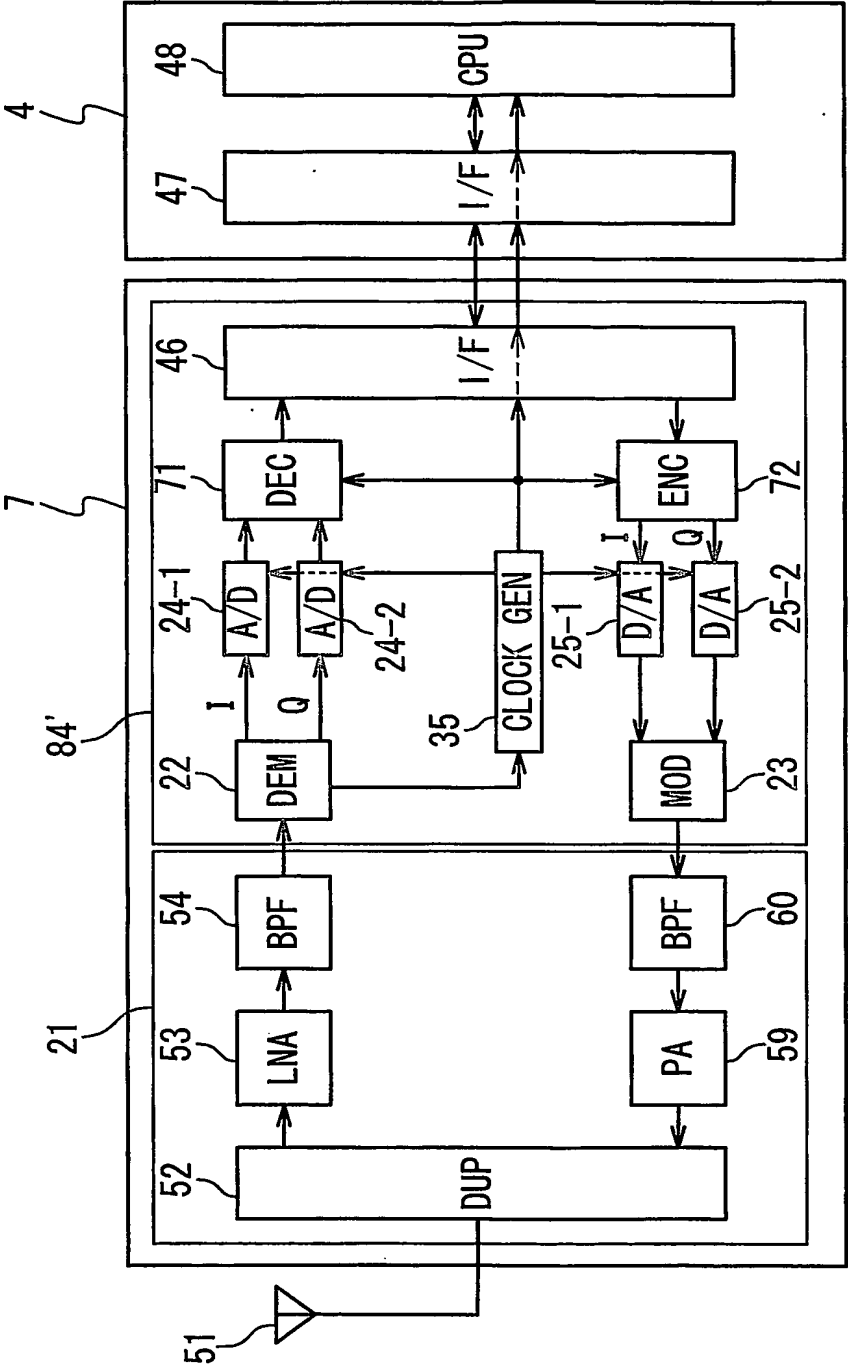


Fig. 24

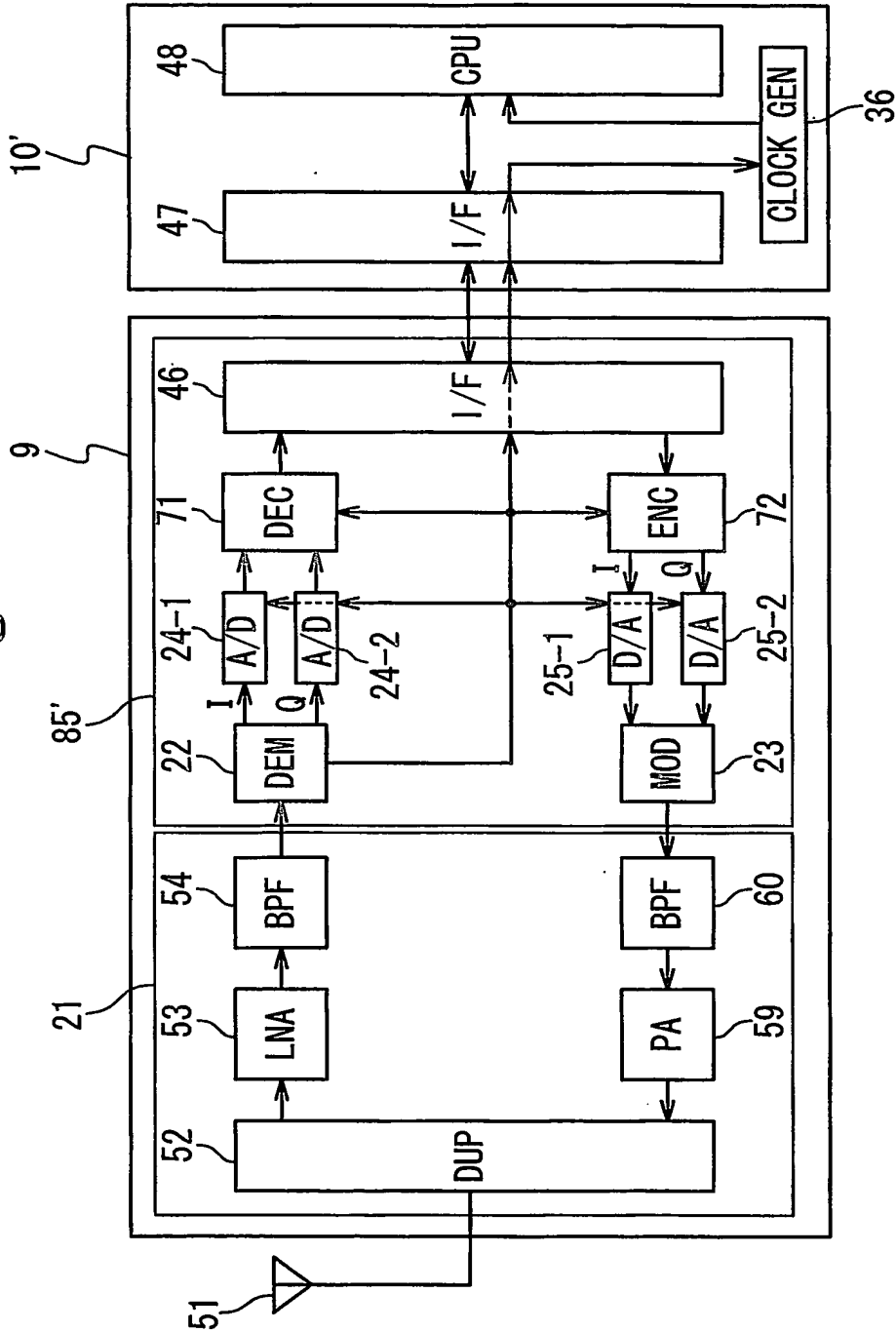


Fig. 25

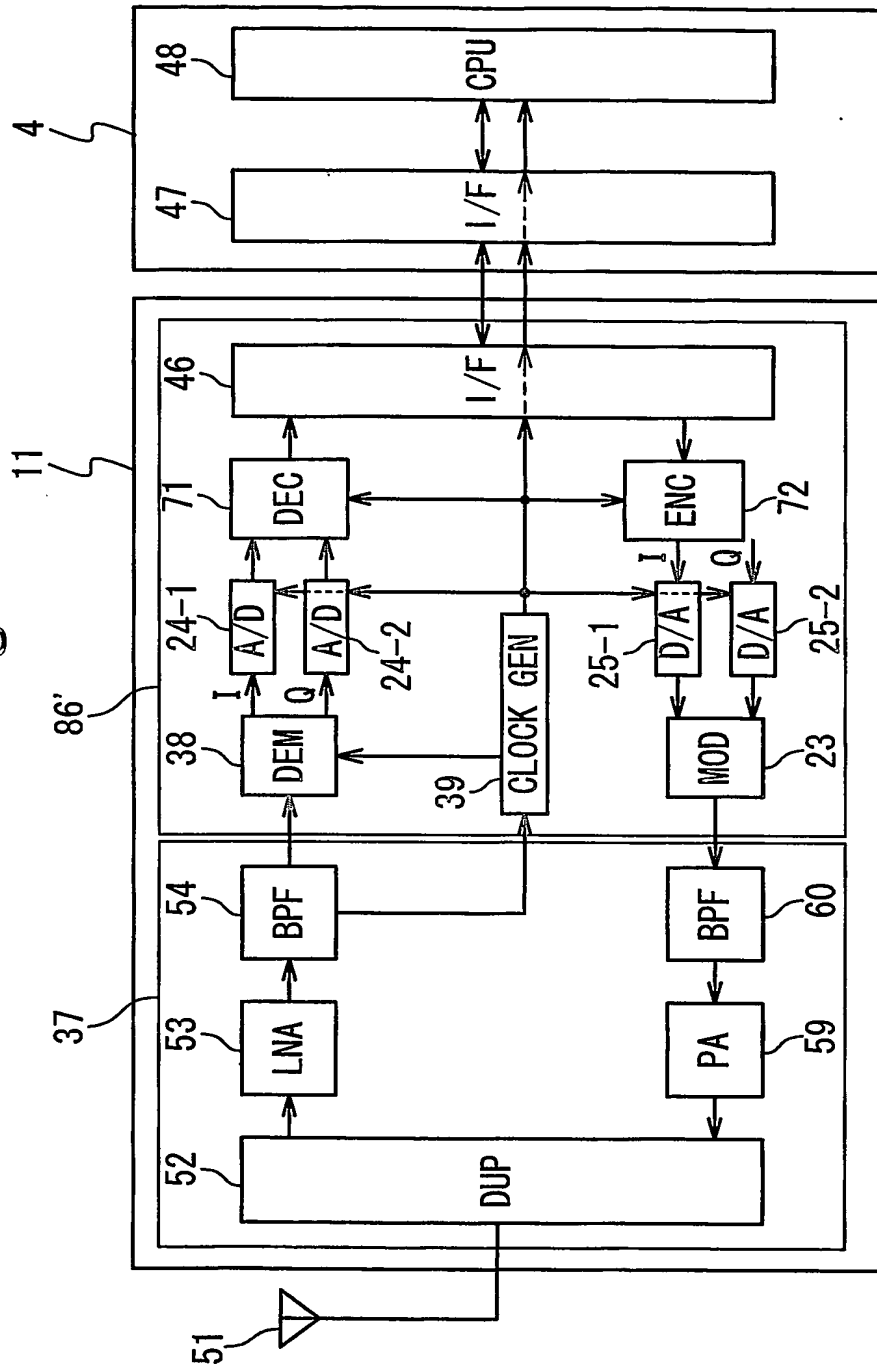
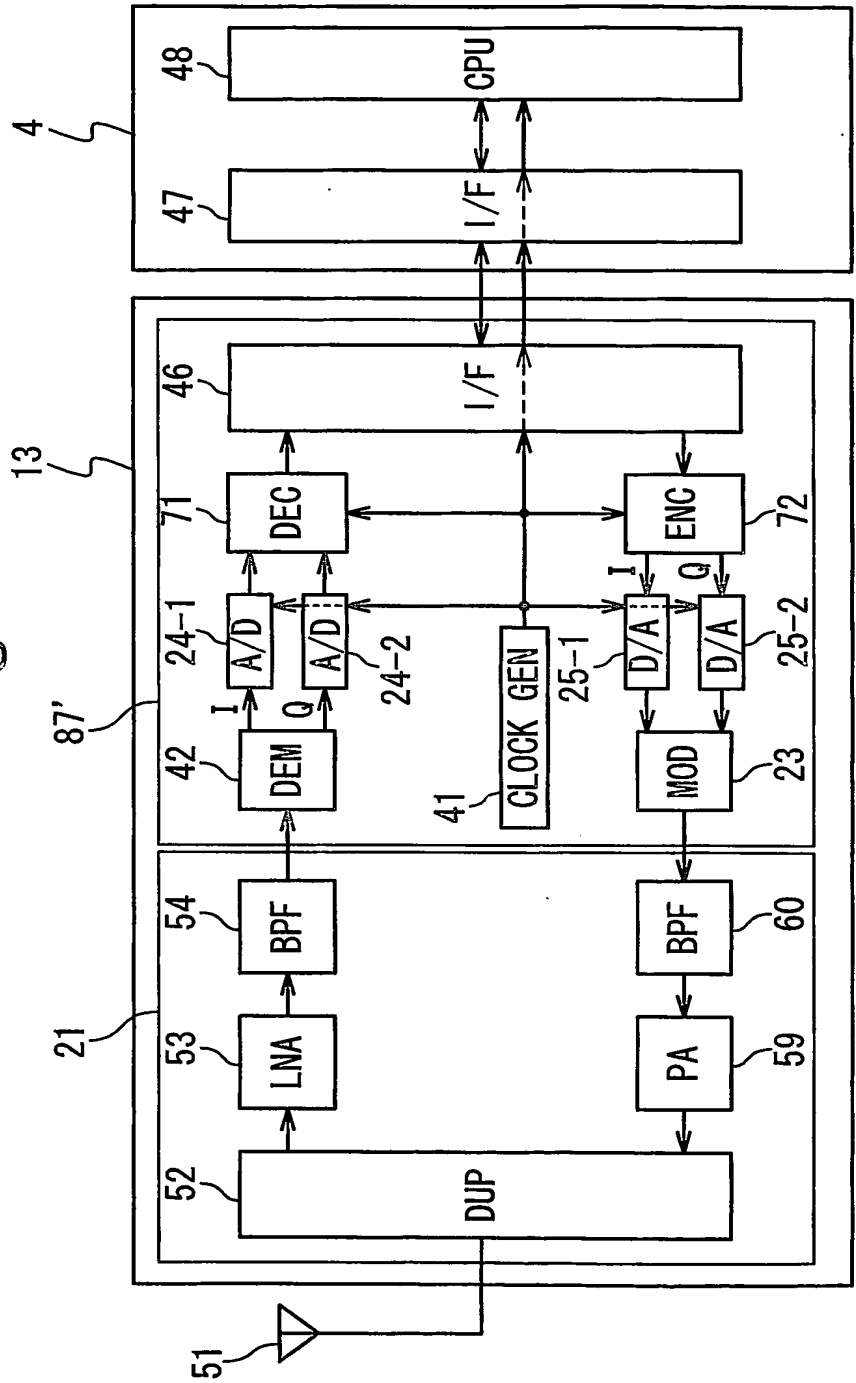
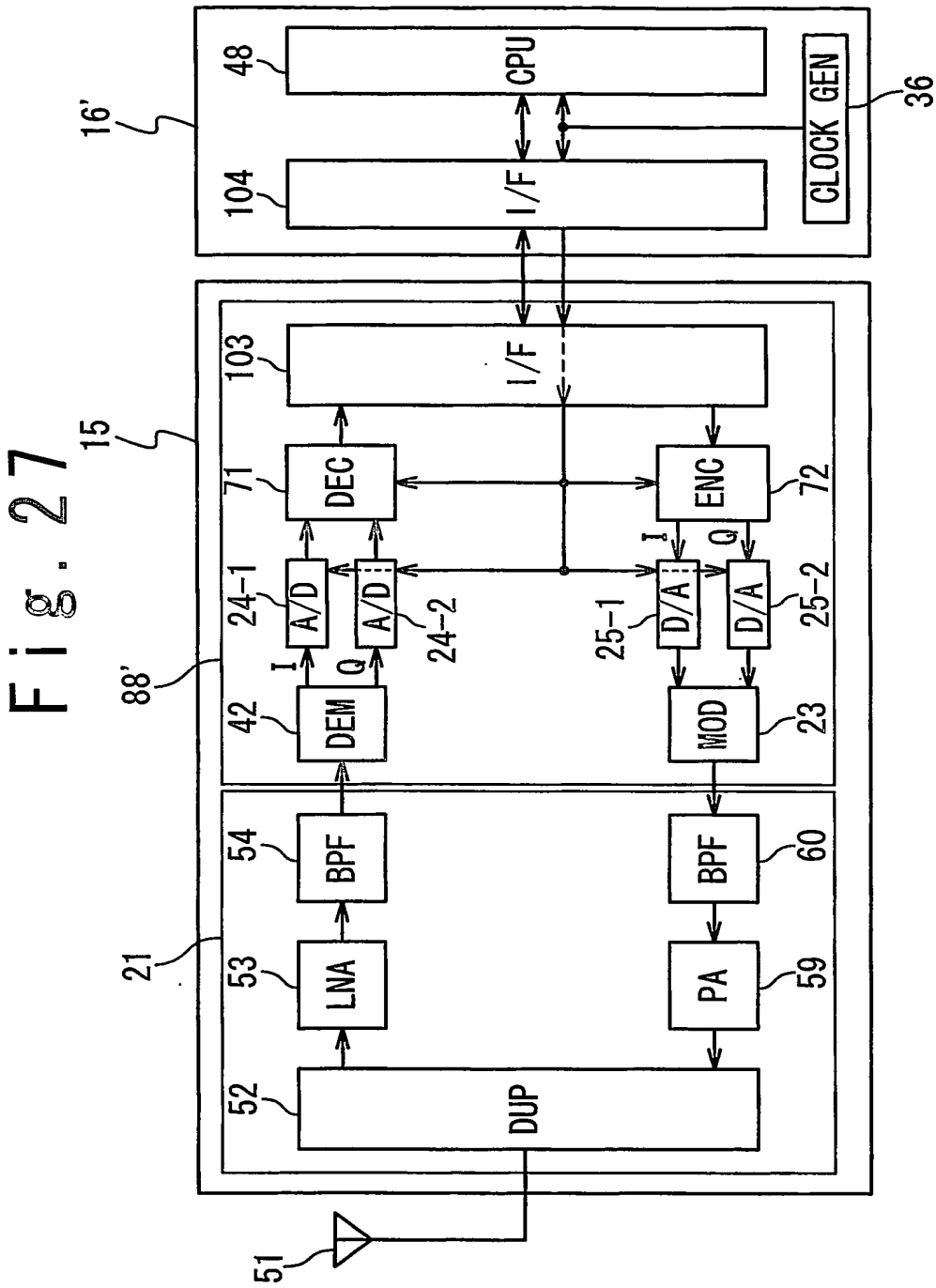


Fig. 26





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004618

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04B1/38, H04L27/00, H04L7/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04B1/38-1/55, H04L27/00, H04L7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-149035 A (Sony Corp.), 07 June, 1996 (07.06.96), Par. Nos. [0010] to [0014]; Figs. 3, 9 (Family: none)	1-4, 7-11, 14-28 5, 6, 12, 13
A		
Y	WO 1998/020407 A1 (Hitachi, Ltd.), 14 May, 1998 (14.05.98), Pages 6 to 7, 16 to 18; Figs. 1, 8, 9 (Family: none)	1-2, 7-9, 14-28
Y	JP 6-284159 A (Toshiba Corp.), 07 October, 1994 (07.10.94), All pages; all drawings & US 5535252 A	1, 9-11, 17, 19, 21, 23, 24, 26

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 July, 2004 (06.07.04)Date of mailing of the international search report
27 July, 2004 (27.07.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004618

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-103099 A (Fujitsu General Ltd.), 13 April, 2001 (13.04.01), All pages; Fig. 1 (Family: none)	1, 9-11, 17, 19, 21, 23, 24, 26
Y	JP 6-14069 A (Hitachi, Ltd.), 21 January, 1994 (21.01.94), All pages; all drawings (Family: none)	1-4, 16-18, 20-22, 24-25, 27, 28
Y	JP 11-346186 A (Toyo Communication Equipment Co., Ltd.), 14 December, 1999 (14.12.99), All pages; all drawings (Family: none)	2, 16, 18, 20, 22, 25, 27, 28

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. H04B1/38 H04L27/00 H04L7/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. H04B1/38-1/55 H04L27/00 H04L7/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 8-149035 A (ソニー株式会社) 1996. 06. 07 段落【0010】-【0014】、図3、 図9 (ファミリーなし)	1-4, 7-11, 14-28 5, 6, 12, 13
Y	WO 1998/020407 A1 (株式会社日立製作所) 1998. 05. 14 公報第6-7頁、第16-18頁、図1、 図8、図9 (ファミリーなし)	1-2, 7-9, 14-28

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

06. 07. 2004

国際調査報告の発送日

27. 7. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

畑中 博幸

5 J

9180

電話番号 03-3581-1101 内線 3535

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 6-284159 A (株式会社東芝) 1994. 10. 07 全頁、全図 & US 5535252 A	1, 9-11, 17, 1 9, 21, 23, 24, 26
Y	JP 2001-103099 A (株式会社富士通ゼネラル) 2001. 04. 13 全頁、図1 (ファミリーなし)	1, 9-11, 17, 1 9, 21, 23, 24, 26
Y	JP 6-14069 A (株式会社日立製作所) 1994. 01. 21 全頁、全図 (ファミリーなし)	1-4, 16-18, 20 -22, 24-25, 27, 28
Y	JP 11-346186 A (東洋通信機株式会社) 1999. 12. 14 全頁、全図 (ファミリーなし)	2, 16, 18, 20, 22, 25, 27, 28